

Family list

7 application(s) for: JP8274330

1 Semiconductor device and manufacturing method thereof

Inventor: MIYAGI MASANORI [JP]; KONISHI HARUO [JP] (+1) Applicant: SEIKO INSTR INC [JP]
 EC: H01L29/786S; H01L21/322B10; (+5) IPC: H01L21/322; H01L21/336; H01L21/8234; (+10)
 Publication info: CN1140336 (A) — 1997-01-15
 CN1089949 (C) — 2002-08-28

2 Semiconductor device and mfg. method thereof

Inventor: MASAKI MIYAGI [JP]; SHUNO KONISHI [JP] (+1) Applicant: SEIKO INSTR INC [JP]
 EC: H01L29/786S; H01L21/322B10; (+5) IPC: H01L21/322; H01L21/336; H01L21/8234; (+12)
 Publication info: CN1334606 (A) — 2002-02-06
 CN1201407 (C) — 2005-05-11

3 Semiconductor device and manufacturing method thereof

Inventor: MASANORI MIYAGI [JP]; HARUO KONISHI [JP] (+6) Applicant: SEIKO INSTR INC [JP]
 EC: H01L29/786S; H01L21/322B10; (+5) IPC: H01L21/322; H01L21/336; H01L21/8234; (+11)
 Publication info: CN1607652 (A) — 2005-04-20
 CN1320615 (C) — 2007-06-06

4 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Inventor: MIYAGI MASAKI; KONISHI HARUO (+6) Applicant: SEIKO INSTR INC
 EC: IPC: H01L29/43; H01L21/265; H01L21/336; (+13)
 Publication info: JP8274330 (A) — 1996-10-18
 JP3470133 (B2) — 2003-11-25

5 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Inventor: KOJIMA YOSHIKAZU Applicant: SEIKO INSTR INC
 EC: IPC: H01L29/78; H01L21/8234; H01L27/088; (+7)
 Publication info: JP8293598 (A) — 1996-11-05

6 Semiconductor device and manufacturing method thereof

Inventor: MIYAGI MASANORI [JP]; KONISHI HARUO [JP] (+6) Applicant: SEIKO INSTR INC [US]
 EC: H01L29/786S; H01L21/336D2B; (+4) IPC: H01L21/336; H01L21/8234; H01L27/07; (+8)
 Publication info: US6306709 (B1) — 2001-10-23

7 Semiconductor device and manufacturing method thereof

Inventor: MIYAGI MASANORI [JP]; KONISHI HARUO [JP] (+6) Applicant: SEIKO INSTR INC [US]
 EC: H01L29/786S; H01L21/322B10; (+5) IPC: H01L21/322; H01L21/336; H01L21/8234; (+12)
 Publication info: US6498376 (B1) — 2002-12-24

Data supplied from the esp@cenet database —

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP8274330 (A)
Publication date: 1996-10-18
Inventor(s): MIYAGI MASAKI; KONISHI HARUO; KUBO KAZUAKI; KOJIMA YOSHIKAZU; SHIMIZU TORU; SAITO YUTAKA; MACHIDA TORU; KANEKO TETSUYA
Applicant(s): SEIKO INSTR INC

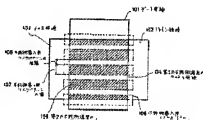
Also published as:

JP3470133 (B2)

Classification:
 - international: H01L29/43; H01L21/265; H01L21/336; H01L21/8234; H01L27/088; H01L29/423; H01L29/49; H01L29/78; H01L29/786; H01L29/40; H01L21/02; H01L21/70; H01L27/085; H01L29/66; (IPC1-7): H01L29/78; H01L29/43
 - european:
Application number: JP19950113447 19950511
Priority number(s): JP19950113447 19950511; JP19950015419 19950201; JP19950015421 19950201; JP19940122872 19940603

Abstract of JP 8274330 (A)

PURPOSE: To easily obtain transistors, having a plurality of threshold values, inside an identical integrated semiconductor device by forcing a channel region having different surface reverse voltages. **CONSTITUTION:** First impurity concentration channel regions 104 and second impurity concentration channel regions 105 are formed in a plurality of rectangular shapes in a direction parallel to a channel length. When mask pattern widths 107 for impurity introduction and their intervals 108 are combined, the area ratio of the second impurity concentration channel regions to the whole face of a channel region is decided to a desired value. Then, the second impurity concentration channel regions are formed generally in a channel doping process, their impurity concentration is changed by a later heat treatment, and their depth is formed to be shallower than the junction depth of at least a source region 102 and a drain region 103. Consequently, when the depth of the second impurity concentration channel regions is made shallower than the depth of a depletion layer generated on the surface of a substrate at a time when an electric field is applied to a gate electrode, a MOSFET whose control voltage is high can be realized at low costs.



Data supplied from the esp@cenet database — Worldwide

特開平8-274330

(43) 公開日 平成8年(1996)10月18日

| (51) Int. Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|----------------------------|------|--------|------------------------|--------------|
| H 0 1 L 29/78 29/43 | | | H 0 1 L 29/78 29/62 | 3 0 1 H G |

審査請求 未請求 請求項の数48 O L (全 29 頁)

| | | | |
|--------------|-----------------|----------|--|
| (21) 出願番号 | 特願平7-113447 | (71) 出願人 | 000002325 セイコー電子工業株式会社 千葉県千葉市美浜区中瀬1丁目8番地 |
| (22) 出願日 | 平成7年(1995)5月11日 | (72) 発明者 | 宮城 邦記 千葉県千葉市美浜区中瀬1丁目8番地 セイコー電子工業株式会社内 |
| (31) 優先権主張番号 | 特願平7-15419 | (72) 発明者 | 小西 幸男 千葉県千葉市美浜区中瀬1丁目8番地 セイコー電子工業株式会社内 |
| (32) 優先日 | 平7(1995)2月1日 | (72) 発明者 | 久保 和昭 千葉県千葉市美浜区中瀬1丁目8番地 セイコー電子工業株式会社内 |
| (33) 優先権主張国 | 日本 (J P) | (74) 代理人 | 弁理士 林 敏之助 |
| (31) 優先権主張番号 | 特願平7-15421 | | |
| (32) 優先日 | 平7(1995)2月1日 | | |
| (33) 優先権主張国 | 日本 (J P) | | |
| (31) 優先権主張番号 | 特願平6-122872 | | |
| (32) 優先日 | 平6(1994)6月3日 | | |
| (33) 優先権主張国 | 日本 (J P) | | |

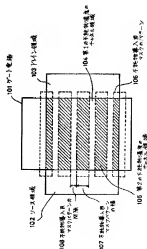
最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【構成】 同一のMISFETのチャネル領域に第1のゲート電圧でチャネル表面が反転する領域と第2のゲート電圧でチャネル表面が反転する領域とを平面的に構成要素として設ける。例えばP型半導体基板上のN型MOSFETのチャネル領域をP型半導体基板の表面側で決まる第1の不純物濃度のチャネル領域104と不純物導入用マスクのパターン106によって選択された領域に不純物をイオン打ち込み等で導入する事によって決まる第2の不純物濃度のチャネル領域105を設ける。さらに第1の不純物濃度のチャネル領域104と第2の不純物濃度のチャネル領域105は複数の平面的形状に分割する。

【効果】 上記の様に同一のMOSFETのチャネル領域を複数の不純物濃度の複数の平面的形状の領域で構成し、さらに第1の不純物濃度の領域と第2の不純物濃度の領域の平面的な面積比に応じてMOSFETのしきい値電圧を所望の値に容易に設定する事ができ、低コストでより高性能な半導体集積回路装置を実現する。



【特許請求の範囲】

【請求項1】 第1導電型半導体基板に絶縁層を有し、該絶縁層に接してゲート電極を有し、該ゲート電極の下に第1導電型半導体基板表面は、少なくとも第1のゲート電圧で表面が第2導電型に反転する領域（第1反転電圧領域）と第2のゲート電圧で表面が第2導電型に反転する領域（第2反転電圧領域）とが平面的に構成されるMIS型要素であることを特徴とする半導体装置。

【請求項2】 該第1反転電圧領域の平面的面積と該第2反転電圧領域の平面的面積との比率が異なる複数のMIS型要素より構成されることを特徴とする請求項1記載の半導体装置。

【請求項3】 該第1反転電圧領域の平面的面積と該第2反転電圧領域の平面的面積とが所定の比率を有するとともに、該第1反転電圧領域及び該第2反転電圧領域の個々の平面の大きさもしくは形状の異なる複数のMIS型要素より構成されることを特徴とする請求項1記載の半導体装置。

【請求項4】 該MIS型要素の少なくとも該第2反転電圧領域は、複数の平面的形状に分割されて構成されることを特徴とする請求項1から3いずれか記載の半導体装置。

【請求項5】 該MIS型要素の少なくとも該第2反転電圧領域は、5個以上の平面的形状に分割されて構成されることを特徴とする請求項1から4いずれか記載の半導体装置。

【請求項6】 該MIS型要素は、第1導電型半導体基板に互いに離れ設けられた第2導電型のソース・ドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記半導体基板上のチャネル領域と、前記チャネル領域に少なくとも該第1反転電圧領域と該第2反転電圧領域とが平面的に分割されて設けられた複数の表面反転電圧領域と、前記チャネル領域の上にゲート絶縁層を介して設けられたゲート電極とから成る絶縁ゲート電界効果型トランジスタ（MISFET）を構成することを特徴とする請求項1から5いずれか記載の半導体装置。

【請求項7】 該絶縁ゲート電界効果型トランジスタは、第1反転電圧領域と第2反転電圧領域の形状に応じて、しきい値電圧及び飽和電流値が変化することを特徴とする請求項6記載の半導体装置。

【請求項8】 該第2反転電圧領域は、該チャネル領域のチャネル長方向に平行な短冊状に構成されていることを特徴とする請求項6乃至7いずれか記載の半導体装置。

【請求項9】 該第2反転電圧領域は、該チャネル領域のチャネル幅方向に平行な短冊状に構成されていることを特徴とする請求項6乃至7いずれか記載の半導体装置。

【請求項10】 該第2反転電圧領域は、該チャネル領域内にドット状に構成されていることを特徴とする請求

項6乃至7いずれか記載の半導体装置。

【請求項11】 該第2反転電圧領域は、該チャネル領域内に市松模様状に構成されていることを特徴とする請求項6乃至7いずれか記載の半導体装置。

【請求項12】 該第1反転電圧領域及び該第2反転電圧領域は、ゲート電極直下のゲート絶縁層と接している半導体基板表面にチャネル不純物領域としてそれぞれ第1の不純物濃度領域と第2の不純物濃度領域を形成することにより構成されていることを特徴とする請求項1から11いずれか記載の半導体装置。

【請求項13】 該第1の不純物濃度領域と該第2の不純物濃度領域の少なくとも一方は、該ソース・ドレイン領域の接合深さより浅く設けたことを特徴とする請求項12記載の半導体装置。

【請求項14】 該ゲート絶縁層と膜厚の異なる第2のゲート絶縁層を有する第2のMISFETを該半導体基板表面に設けたことを特徴とする請求項6から11いずれか記載の半導体装置。

【請求項15】 該第1導電型半導体基板表面に設けられるとともに、該半導体基板と同じ導電型で不純物濃度の異なる第2の半導体領域であるウェル領域に、第2のMISFETを設けたことを特徴とする請求項6から11いずれか記載の半導体装置。

【請求項16】 該第1導電型半導体基板表面に設けられるとともに、該半導体基板と異なる導電型である第2導電型の第2の半導体領域であるウェル領域に、第2のMISFETを設けた請求項6から11いずれか記載の半導体装置。

【請求項17】 絶縁層と前記絶縁層の上に設けた半導体領域とから半導体素子が形成される基板を構成するとともに、前記半導体領域の厚さが $10\mu\text{m}$ より薄く形成したことを特徴とする請求項6から11いずれか記載の半導体装置。

【請求項18】 前記半導体領域の厚さが前記チャネル領域と同等の膜厚である請求項17記載の半導体装置。

【請求項19】 前記半導体領域の厚さが前記チャネル不純物領域の深さと同じである請求項17記載の半導体装置。

【請求項20】 第1導電型の半導体領域の表面にエンハンスメント型及びデプレッション型の第2導電型のMISFETを有する半導体装置において、エンハンスメント型のチャネル領域に該第1導電型の半導体領域より濃い濃度の第1導電型不純物濃度分布をもち、デプレッション型のチャネル領域に該エンハンスメント型のチャネル領域と実質的に同一の不純物濃度分布を持ちかつ該第1導電型不純物濃度分布より濃い第2導電型の不純物濃度分布をもち、該第2導電型の不純物濃度分布のピーク位置が該第1導電型の不純物濃度分布のピーク位置から $\pm 20\text{nm}$ 以内の位置となる構造を有する半導体装置。

【請求項21】 第1導電型の半導体領域の表面にエンハンスメント型及びデプレッション型の第2導電型のMISFETを有する半導体装置において、エンハンスメント型のチャネル領域に該第1導電型の半導体領域より濃い濃度の第1導電型不純物濃度分布をもち、デプレッション型のチャネル領域に該エンハンスメント型のチャネル領域と実質的に同一の不純物濃度分布を持ちかつ該第1導電型不純物濃度分布より濃い第2導電型の不純物濃度分布をもち、該第2導電型の不純物濃度分布のピーク位置が該第1導電型の不純物プロファイルのピーク位置から±20nm以内の位置となる構造を有し、さらに該第1反転電圧領域が該第1導電型不純物濃度分布をもち、該第2反転電圧領域が該第2導電型不純物濃度分布をもつことを特徴とする請求項1から15及び17から19いずれか記載の半導体装置。

【請求項22】 基板表面の第1導電型の半導体領域の表面にフィールド絶縁膜を形成する工程と、前記半導体領域の第1のトランジスタ領域と第2のトランジスタ領域の表面にゲート絶縁膜を形成する工程と、前記第1のトランジスタ領域の表面にチャネル不純物領域を形成するためのフォトリソグラフィを形成する工程と、前記レジスタパターンをマスクとして前記第1のトランジスタ領域の表面に不純物を導入して前記チャネル不純物領域を形成する工程と、前記ゲート絶縁膜の上にゲート電極をパターンニングする工程と、前記ゲート電極により区切られるように前記第1のトランジスタ領域の表面に第2導電型のソース・ドレイン領域を形成する工程と、前記ゲート電極の上に中間絶縁膜を形成する工程と、前記中間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールの上に重なるように金属配線をパターンニングする工程とから成るとともに、前記チャネル不純物形成領域に、少なくとも第1の不純物濃度領域と第2の不純物濃度領域が前記ソース領域と前記ドレイン領域との間に平面的に分割して複数形成されることを特徴とする半導体装置の製造方法。

【請求項23】 該第1の不純物濃度領域と該第2の不純物濃度領域は、フォトリソグラフィを所望の形状にチャネルとなる領域上に形成することで、同一チャネル内にしきい値電圧制御用の不純物を選択的に導入しMOSFETのチャネル領域を形成することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項24】 該第1の不純物濃度領域と該第2の不純物濃度領域は、フォトリソグラフィを所望の形状にチャネルとなる領域上に形成することで、同一チャネル内にしきい値電圧制御用の不純物を選択的にイオン注入法で導入しMOSFETのチャネル領域を形成することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項25】 第1のトランジスタ領域に第1のゲート絶縁膜を形成する工程と、第2のトランジスタ領域に前記第1のゲート絶縁膜と厚さの異なる第2のゲート絶

縁膜とを形成する工程とから成る請求項2記載の半導体装置の製造方法。

【請求項26】 第1のトランジスタ領域のソース・ドレイン領域を含む第1導電型の半導体領域の表面に、第2導電型のウェル領域を形成する工程と、前記第1のトランジスタ領域の前記ソース・ドレイン領域として第1導電型の不純物を導入する工程と、前記第2のトランジスタ領域のソース・ドレイン領域として第2導電型の不純物を導入する工程とから成る請求項2記載の半導体装置の製造方法。

【請求項27】 請求項2記載の半導体装置の製造方法において、第1導電型の半導体領域のエンハンスメント型及びデプレッション型のチャネル領域に第1導電型の不純物をイオン注入法により導入する工程と、デプレッション型のチャネル領域に第2導電型の不純物を該第1導電型の不純物濃度分布のピーク位置から±20nm以内の位置にピークをもつようにイオン注入法により導入する工程とからなる半導体装置の製造方法。

【請求項28】 請求項21記載の半導体装置の製造方法において、第1導電型の半導体領域のエンハンスメント型及びデプレッション型のチャネル領域に第1導電型の不純物をイオン注入法により導入する工程と、デプレッション型のチャネル領域に該デプレッション型のチャネル領域上に選択的かつ部分的にフォトリソグラフィを形成する工程と該デプレッション型のチャネル領域に該フォトリソグラフィをマスクとして第2導電型の不純物を該第1導電型の不純物濃度分布のピーク位置から±20nm以内の位置にピークをもつようにイオン注入法により導入する工程とからなる半導体装置の製造方法。

【請求項29】 該第1反転電圧領域及び該第2反転電圧領域は、ゲート電極直下の絶縁層がそれぞれ第1の膜厚の絶縁層領域と第2の膜厚の絶縁層領域を形成することにより構成されていることを特徴とする請求項1から11いずれか記載の半導体装置。

【請求項30】 基板表面の第1導電型の半導体領域の表面にフィールド絶縁膜を形成する工程と、前記半導体領域の第1のトランジスタ領域と第2のトランジスタ領域の表面に異なる膜厚のゲート絶縁膜を形成する領域を選択するためのフォトリソグラフィを形成する工程と、前記フォトリソグラフィの形状に応じて異なる膜厚のゲート絶縁膜を形成する工程と、前記第1及び第2のトランジスタ領域の表面にチャネル不純物領域を形成する工程と、前記ゲート絶縁膜の上にゲート電極をパターンニングする工程と、前記ゲート電極により区切られるように前記第1のトランジスタ領域の表面に第2導電型のソース・ドレイン領域を形成する工程と、前記ゲート電極の上に中間絶縁膜を形成する工程と、前記中間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールの上に重なるように金属配線をパターンニングする工程とから成るとともに、前記ゲート絶縁膜は同一のチャネル上

に、少なくとも第1の膜厚のゲート絶縁膜領域と第2の膜厚のゲート絶縁膜領域が前記ソース領域と前記ドレイン領域との間に平坦的に分割して複数形成されることを特徴とする半導体装置の製造方法。

【請求項31】 該第1の膜厚のゲート絶縁膜領域と該第2の膜厚のゲート絶縁膜領域は、フォトリソを所望の形状にチャネルとなる領域上に形成することで、異なる膜厚の絶縁膜を選択的に形成することを特徴とする請求項30記載の半導体装置の製造方法。

【請求項32】 該MISFET要素は、Nチャネル型MISFETであることを特徴とする請求項1から21乃至29いずれか記載の半導体装置。

【請求項33】 該Nチャネル型MISFETの該第1反転電圧領域の表面反転電圧（しきい値電圧）は $-0.01 \sim -0.3$ Vで、該第2反転電圧領域の表面反転電圧（しきい値電圧）は $-0.01 \sim -1.0$ Vであることを特徴とする請求項32記載の半導体装置。

【請求項34】 該Nチャネル型MISFETの該第1反転電圧領域の表面反転電圧（しきい値電圧）は $-0.01 \sim -0.3$ Vで、該第2反転電圧領域の表面反転電圧（しきい値電圧）は $0.3 \sim 5.0$ Vであることを特徴とする請求項32記載の半導体装置。

【請求項35】 該Nチャネル型MISFETの該第1反転電圧領域の表面反転電圧（しきい値電圧）は $0.3 \sim 5.0$ Vで、該第2反転電圧領域の表面反転電圧（しきい値電圧）は $-0.01 \sim -1.0$ Vであることを特徴とする請求項32記載の半導体装置。

【請求項36】 該MISFET要素は、Pチャネル型MISFETであることを特徴とする請求項1から21乃至29いずれか記載の半導体装置。

【請求項37】 該Pチャネル型MISFETの該第1反転電圧領域の表面反転電圧（しきい値電圧）は $0.01 \sim 0.3$ Vで、該第2反転電圧領域の表面反転電圧（しきい値電圧）は $0.01 \sim 1.0$ Vであることを特徴とする請求項36記載の半導体装置。

【請求項38】 該Pチャネル型MISFETの該第1反転電圧領域の表面反転電圧（しきい値電圧）は $0.01 \sim 0.3$ Vで、該第2反転電圧領域の表面反転電圧（しきい値電圧）は $0.3 \sim 5.0$ Vであることを特徴とする請求項36記載の半導体装置。

【請求項39】 該Pチャネル型MISFETの該第1反転電圧領域の表面反転電圧（しきい値電圧）は $0.3 \sim 5.0$ Vで、該第2反転電圧領域の表面反転電圧（しきい値電圧）は $0.01 \sim 1.0$ Vであることを特徴とする請求項36記載の半導体装置。

【請求項40】 該MISFETから成るアナログ回路と、該チャネル領域に比べ1相以上面積の小さい第2のチャネル領域から成る第2のMISFETにより構成されるデジタル回路とを該半導体基板表面に設けた請求項7、32乃至36記載の半導体装置。

【請求項41】 該MISFETが複数直列に接続されることを特徴とする請求項7、32乃至36記載の半導体装置。

【請求項42】 該MISFETには容量が接続されていることを特徴とする請求項41記載の半導体装置。

【請求項43】 該MISFET及び該容量を有する電圧昇圧回路を構成したことを特徴とする請求項42記載の半導体装置。

【請求項44】 該電圧昇圧回路が不揮発性記憶素子に接続されていることを特徴とする請求項43記載の半導体装置。

【請求項45】 該MISFETを有する差動増幅回路を構成したことを特徴とする請求項7、32乃至36記載の半導体装置。

【請求項46】 該MISFETを有する基準電圧発生回路を構成したことを特徴とする請求項7、32乃至36記載の半導体装置。

【請求項47】 該差動増幅回路は基準電圧発生回路と外部に電圧を出力するための出力回路とに接続し、該基準電圧発生回路で発生した電圧と、該出力回路の外部に出力する電圧もしくは外部に出力する電圧に所定の比率で追従する電圧とを該差動増幅回路により比較して、該出力回路より一定電圧を出力することを特徴とする請求項45記載の半導体装置。

【請求項48】 差動増幅回路は該基準電圧発生回路と外部に電圧を出力するための出力回路とに接続し、該基準電圧発生回路で発生した電圧と、該出力回路の外部に出力する電圧もしくは外部に出力する電圧に所定の比率で追従する電圧とを該差動増幅回路により比較して、該出力回路より一定電圧を出力することを特徴とする請求項46記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、集積回路半導体装置を構成する絶縁ゲート電界効果型トランジスタ（以下MISFETと称す）のチャネル領域の構成に係わり、特にチャネル領域の不純物濃度やゲート絶縁膜等によって決まるチャネル領域の表面反転電圧（しきい値電圧）が制御される半導体装置に関する。

【0002】 この発明は、同一基板上に複数のしきい値電圧を有するMISFETから構成される集積回路半導体装置及びその製造方法に関する。この発明は、同一基板上に異なるゲート電圧が印加される高圧用及び低電圧用のMISFETを有する集積回路半導体装置及びその製造方法に関する。

【0003】 この発明は、同一基板上に異なるゲート電圧が印加される高圧用及び低電圧用のMISFETを有する集積回路半導体装置及びその製造方法に関する。この発明は、同一基板上にアナログ回路とデジタル回路とから成る半導体装置及びその製造方法に関する。

【0004】 この発明は、絶縁層の上に設けられた薄膜

半導体に形成された半導体装置及びその製造方法に関する。

【0005】

【従来の技術】 図39は、従来の集積回路半導体装置内のMISFETを表す模式的な平面図である。なお本明細書では、MISFETの代表的な例として金属ゲート電極と半導体基板にはさまれた絶縁層がシリコン酸化膜であるMOSFETを例として説明する。

【0006】 図39においては、3種類のトランジスタのソース、ドレイン及びゲートを模式的に表しており、簡単なためアルミニウムの金属配線等は省いてある。トランジスタ1、2、3はそれぞれ異なるしきい値電圧(V_m)を持つものである。

【0007】 図40は、従来の集積回路半導体装置内のMOSFETを表す模式的な断面図である。トランジスタ1においてチャネル領域4004の不純物濃度は、例えば半導体基板4006の不純物濃度値とし、このチャネル領域4004の不純物濃度とゲート絶縁層4005の膜厚で決まるしきい値電圧を V_m とする。

【0008】 トランジスタ2のしきい値電圧 V_m を V_m と異なる値にしたい場合は不純物を導入する領域を選択するためのガラスマスク等を用いてフォトレジストを光学的にパターンニング(フォトリソグラフィ技術)し、選択的に形成されたフォトレジストをマスクとしてイオン打ち込みなどで不純物をゲート絶縁層4005を介して導入し、トランジスタ1のチャネル領域1とは異なる不純物濃度のチャネル領域2を形成する。

【0009】 このとき不純物を導入する領域を選択するためのイオン打ち込み用ガラスマスク1のパターン3905は、図39(b)のようにガラスマスクの合わせずれ等を考慮して、チャネル領域よりわずかに大きくかつ全面を覆うように作られ、フォトレジストはチャネル領域よりわずかに大きく除去されて、除去された領域のチャネルに不純物が導入される。

【0010】 また、ゲート絶縁層4005は通常は、10nmから100nm程度の均一の膜厚のシリコン酸化膜で形成されている。このようにすることでトランジスタ2の V_m とトランジスタ1の V_m とは異なるものが形成でき、同様にしてトランジスタ3の V_m のように必要な種類と必要な不純物を導入し必要なしきい値電圧のトランジスタを形成する。

【0011】 また、図示しないが、同一基板の表面に厚いゲート酸化膜の高電圧MOSFETと、薄いゲート酸化膜の低電圧MOSFETとを設けた集積回路半導体装置においては、各々のしきい値電圧をほぼ同じ値にするために、フォトリソグラフィ技術により各々のMOSFETのチャネル領域の均一な不純物領域の濃度を制御している。

【0012】 同様に、P型MOSFETとN型MOSFETから成るCMOS型集積回路においても、ほぼ同じ

しきい値電圧にするために、別々の不純物導入工程により行っている。

【0013】

【発明が解決しようとする課題】 しかし、従来の集積回路半導体装置内のMOSFETは前述したようにそれぞれ均一な不純物濃度のチャネル領域と均一な膜厚のゲート絶縁膜を持つために、チャネルの表面反転電圧が一定となり、したがって単一の半導体基板上に形成される集積回路半導体装置内に複数種類のしきい値電圧のトランジスタを形成するには、必要な種類数の不純物あるいは不純物濃度をチャネル領域に導入する工程が必要であった。

【0014】 したがって単一の半導体基板上に形成される集積回路半導体装置内に複数種類のしきい値電圧のトランジスタを形成することは、コスト増の原因でもあり回路設計上の制約にもなった。また、チャネル領域に不純物を導入する前のしきい値電圧が異なる構造のトランジスタを同一基板上に設けた集積回路半導体装置においては、電源電圧の範囲に見合ったしきい値電圧を合せこむための複数回のフォトリソグラフィ工程が必要であった。

【0015】 したがって、異なるゲート絶縁膜、異なる基板濃度、または、異なる電圧型のMOSFETのしきい値電圧を制御するには製造期間が長く、製造コストも高くなっていた。

【0016】

【課題を解決するための手段】 上記課題を解決するために、この発明は、以下のような手段をとった。第1の手段としてMOSFETの同一チャネル内に2つ以上の異なるゲート電圧でチャネル表面が反転するという、異なる表面反転電圧を持つチャネル領域を設ける手段をとった。

【0017】 さらに、第1の表面反転電圧領域と第2の表面反転電圧領域の平面的な面積の比率、すなわち全チャネルの平面的な面積に対する第2の表面反転電圧領域の平面的な面積の比率を複数種類とするが、第1の表面反転電圧領域及び第2の表面反転電圧領域の個々の平面的な大きさもしくは形状を複数種類とする手段をとった。

【0018】 第2の手段として前記第2の表面反転電圧領域が複数の平面的形状に分割されているという手段をとった。また複数の平面的形状に分割する方法の一例として、次の方法がある。

(1) チャネル長方向に平行な短冊状に分割する。

【0019】 (2) チャネル幅方向に平行な短冊状に分割する。

(3) ドット状に分割する。

(4) 市松模様状に分割する。

第3の手段として前記2つ以上の異なる表面反転電圧を持つチャネル領域は、2つ以上の異なる不純物濃度の類

域(チャネル不純物領域)をMOSFETの同一チャネル領域表面に形成することで得る手段をとった。

【0020】第4の手段として前記第3の手段記載のチャネル不純物領域をソース・ドレイン領域の接合深さより浅く形成するといった手段をとった。第5の手段としてそれぞれ異なる膜厚で形成されたゲート絶縁膜を持つ第1のMOSFETと第2のMOSFETを形成し、各々に前記第1から第4の手段を適用するといった手段をとった。

【0021】第6の手段として第1導電型の半導体基板に形成される第1のMOSFETと前記半導体基板と異なる不純物濃度でかつ同一の導電型で形成されたウェル領域内に形成される第2のMOSFETを形成し、各々に前記第1から第4の手段を適用するといった手段をとった。

【0022】第7の手段として第1導電型の半導体基板に形成される第1のMOSFETと前記半導体基板と異なる導電型で形成されたウェル領域内に形成される第2のMOSFETを形成し、各々に前記第1から第4の手段を適用するといった手段をとった。

【0023】第8の手段として絶縁膜の上に形成される膜厚が10μmより薄い薄膜半導体層にMOSFETを形成し、さらに前記MOSFETに前記第1から第4の手段を適用するといった手段をとった。第9の手段として第8の手段記載の薄膜半導体層の厚さが前記薄膜半導体層に形成されるMOSFETのチャネル領域の厚さと同等の膜厚であるといった手段をとった。

【0024】第10の手段として第8の手段記載の薄膜半導体層の厚さが前記薄膜半導体層に形成されるMOSFETのチャネル領域のチャネル不純物領域の深さと同等の膜厚であるといった手段をとった。第11の手段としてエンハンスメント型MOSFETのチャネル領域に第1導電型の不純物を導入する際、フォトリソパターンをマスクに用いずに不純物を導入し、次にフォトリソパターンをマスクに用いてデプレッション型MOSFETのチャネル領域にのみ、第2導電型の不純物を第1導電型不純物の不純物プロファイルから±20nm以内の位置にピークとなるように導入される半導体装置とする手段をとった。

【0025】第12の手段として前記11の手段による半導体装置において、デプレッション型MOSFETのチャネル領域上に選択的かつ部分的にフォトリソパターンを形成し、次に前記フォトリソパターンをマスクに用いてデプレッション型MOSFETのチャネル領域にのみ、第2導電型の不純物を第1導電型不純物の不純物濃度分布から±20nm以内の位置にピークとなるように平坦的に部分的に導入される半導体装置とする手段をとった。

【0026】第13の手段として基板表面の第1導電型の半導体領域の表面にフィールド絶縁膜を形成する工程

と、前記半導体領域の第1のトランジスタ領域と第2のトランジスタ領域の表面にゲート絶縁膜を形成する工程と、前記第1のトランジスタ領域の表面にチャネル不純物領域を形成するためのフォトリソパターンを形成する工程と、前記レジストパターンをマスクとして前記第1のトランジスタ領域の表面に不純物を導入して前記チャネル不純物領域を形成する工程と、前記ゲート絶縁膜の上にゲート電極をパターンニングする工程と、前記ゲート電極により区切られるように前記第1のトランジスタ領域の表面に第2導電型のソース・ドレイン領域を形成する工程と、前記ゲート電極の上に中間絶縁膜を形成する工程と、前記中間絶縁膜上にコンタクトホールを形成する工程と、前記コンタクトホールの上に導電層を金属配線をパターンニングする工程とから成るとともに、前記チャネル不純物形成領域に、少なくとも第1の不純物濃度領域と第2の不純物濃度領域が前記ソース領域と前記ドレイン領域との間に平面的に分割して複数形成されることを特徴とする半導体装置の製造方法とする手段をとった。

【0027】第14の手段として前記第1の不純物濃度領域と第2の不純物濃度領域は、フォトリソを所望の形状にチャネルとなる領域内に形成することで、同一チャネル内にしきい値電圧制御用の不純物を選択的に導入し形成することを特徴とする半導体装置の製造方法とする手段をとった。

【0028】第15の手段として前記第1の不純物濃度領域と第2の不純物濃度領域は、フォトリソを所望の形状にチャネルとなる領域内に形成することで、同一チャネル内にしきい値電圧制御用の不純物を選択的にイオン注入法で導入し形成することを特徴とする半導体装置の製造方法とする手段をとった。

【0029】第16の手段として第1のトランジスタ領域に第1のゲート絶縁膜を形成する工程と、第2のトランジスタ領域に前記第1のゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜とを形成する工程とから成り、前記第1のトランジスタ領域と前記第2のトランジスタ領域各々に前記第13から第15の手段を適用するといった半導体装置の製造方法とする手段をとった。

【0030】第17の手段として第1のトランジスタ領域のソース・ドレイン領域を含む前記半導体領域の表面に第2導電型のウェル領域を形成する工程と、前記第1のトランジスタ領域の前記ソース・ドレイン領域として第1導電型の不純物を導入する工程と、前記第2のトランジスタ領域のソース・ドレイン領域として第2導電型の不純物を導入する工程とから成り、前記第1のトランジスタ領域と前記第2のトランジスタ領域各々に前記第13から第15の手段を適用するといった半導体装置の製造方法とする手段をとった。

【0031】第18の手段としてエンハンスメント型MOSFETのチャネル領域に第1導電型の不純物を導入

する際、フォトレジストパターンをマスクに用いずに不純物を導入し、次にフォトレジストパターンをマスクに用いてデプレッション型 MOSFET のチャネル領域にのみ、第 2 導電型の不純物を第 1 導電型不純物の不純物プロファイルから ± 20 nm 以内の位置にピークとなるように導入する半導体装置の製造方法とする手段をとった。

【0032】第 19 の手段として前記 18 の手段による半導体装置において、デプレッション型 MOSFET のチャネル領域上に選択的に部分的にフォトレジストパターンを形成し、次に前記フォトレジストパターンをマスクに用いてデプレッション型 MOSFET のチャネル領域にのみ、第 2 導電型の不純物を第 1 導電型不純物の不純物濃度分布から ± 20 nm 以内の位置にピークとなるように平坦的にみて部分的に導入される半導体装置の製造方法とする手段をとった。

【0033】第 20 の手段として前記 2 つ以上の異なる表面反転電圧を持つチャネル領域は、2 つ以上の異なる図様のゲート絶縁膜を MOSFET の同一チャネル領域上に形成することで得る手段をとった。第 21 の手段として基板表面の第 1 導電型の半導体領域の表面にフィールド絶縁膜を形成する工程と、前記半導体領域の第 1 のトランジスタ領域と第 2 のトランジスタ領域の表面に異なる図様のゲート絶縁膜を形成する領域を選択するためのフォトレジストを形成する工程と、前記フォトレジストの形状に応じて異なる図様のゲート絶縁膜を形成する工程と、前記第 1 及び第 2 のトランジスタ領域の表面にチャネル不純物領域を形成する工程と、前記ゲート絶縁膜の上にゲート電極をパターンニングする工程と、前記ゲート電極により区切られるように前記第 1 のトランジスタ領域の表面に第 2 導電型のソース・ドレイン領域を形成する工程と、前記ゲート電極の上に中間絶縁膜を形成する工程と、前記中間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールの上に重なるように金属配線をパターンニングする工程とから成るとともに、前記ゲート絶縁膜は同一チャネル上に、少なくとも第 1 の図様のゲート絶縁膜と第 2 の図様のゲート絶縁膜が前記ソース領域と前記ドレイン領域との間に平坦的に分割して複数形成されることを特徴とする半導体装置の製造方法とする手段をとった。

$$V_{th} = \phi_m + Q_{it} / C_{it} + 2 \phi_f$$

ϕ_m は、基板とゲート電極との仕事関数差である。 Q_{it} は、チャネル領域に発生する単位面積当りの空乏電荷量である。 C_{it} は、ゲート絶縁膜の単位面積当りの容量である。

【0040】 ϕ_f は、基板のフェルミレベルである。ち

$$V_{th} = A V_{th1} + B V_{th2}$$

0 ≤ A、B ≤ 1 の定数であり、各々の領域のパターン形状に依存する。従って、フォトリソグラフィ技術により定数 A と B を制御することにより、同一基板上に複数

【0034】第 22 の手段として前記 2 つ以上の異なる図様のゲート絶縁膜は、フォトレジストを同一チャネル上に選択的に形成することにより、この選択的に形成されたフォトレジストをマスクとして選択的にゲート絶縁膜を除去または形成することと特徴とする半導体装置の製造方法とする手段をとった。

【0035】第 23 の手段として前記第 1 の手段から第 12 乃至 20 の手段に記載の MOSFET から成るアナログ回路と、前記アナログ回路に使用している MOSFET のチャネル領域に比べ 1 倍以上面積の小さい第 2 のチャネル領域から成る第 2 の MOSFET により構成されるデジタル回路とを該半導体基板表面に設けた半導体装置とする手段をとった。

【0036】第 24 の手段として前記第 1 の手段から第 12 乃至 20 の手段に記載の MOSFET を複数個直列にダイオード接続し、おのおのに電荷蓄積用の容量が接続されている電圧昇圧回路（チャージポンプ回路）を構成し、さらに電圧昇圧回路の前段から後段になるにたがって第 2 の表面反転電圧領域の面積または形状を変えていくという手段をとった。

【0037】また前記電圧昇圧回路を不揮発性半導体記憶回路を有する集積回路半導体装置に搭載した。第 25 の手段として前記第 1 の手段から第 12 乃至 20 の手段に記載の MOSFET を差動増幅器回路に使用するという手段をとった。

【0038】第 26 の手段として前記第 1 の手段から第 12 乃至 20 の手段に記載の MOSFET を前記差動増幅回路において電圧を比較するための基準となる一定電圧を発生する基準電圧発生回路に使用するという手段をとった。第 27 の手段として前記第 25 の手段に記載の差動増幅回路と前記第 26 の手段に記載の基準電圧発生回路と外部に電圧を出力する回路を接続し、基準となる電圧と外部に出力する電圧もしくは外部に出力する電圧に一定の比率で追従する電圧を前記差動増幅回路で比較することにより出力の負荷が変わっても外部に常に一定の電圧を出力する集積回路半導体装置を構成した。

【0039】
【作用】絶縁ゲート電界効果型トランジスタ (MISFET) のしきい値電圧 V_{th} は以下の式によって表すことができる。

$$(1)$$

※チャネル領域内に、局所的に異なるしきい値電圧すなわち表面反転電圧 V_{th} を有する領域を各々複数の領域に設けた場合の全体のしきい値電圧 V_{th} は次式となる。

$$【0041】$$

$$(2)$$

の種類のしきい値電圧 V_{th} 1 回のフォトリソグラフィにより形成することができる。但し、常に、 $V_{th1} \leq V_{th2} \leq V_{th3}$ と各々の局所的しきい値電圧の間に設定される。局

所的にしたい値電圧とは、均一な不純物濃度でチャネル領域を形成した場合のチャネルサイズに依存しない（非常に大きなサイズのトランジスタ）にしたい値電圧であり、式1より数学的に導かれる値である。

【0042】また、ゲート絶縁膜容量（ゲート絶縁膜厚、ゲート絶縁膜の種類）、基板濃度または、 ϕ_{MS} が異なるMOSトランジスタにおいて、1回のフォトリソ*

$$V_n = \phi_n + \alpha \cdot (Q_n / C_n) + \beta \cdot (Q_p / C_p) + 2\phi_i \quad (3)$$

0 ≤ α + β ≤ 1の定数である。 Q_n 及び Q_p は、それぞれ異なる不純物領域のチャネル領域の表面から基板の深さ方向に沿ったチャネル深さ方向の単位面積当たりの空乏電荷量である。 ϕ_n 及び ϕ_i は、実効値であり、チャネル領域の不純物濃度が複数種類・複数領域存在するために実質的には実験的に求めることができる。

【0044】式3より、例えば、ゲート絶縁膜が異なる各々のトランジスタにおいて、チャネル領域の不純物をパターンニングすることにより、一回のフォトリソグラフィによりほぼ同じにしたい値電圧に制御することができる。また、同一基板上に設けられたN型及びP型のM*

$$V_n = \phi_n + \alpha \cdot (Q_n / C_{On}) + \beta \cdot (Q_p / C_{Op}) + 2\phi_i \quad (4)$$

式3同様に α 及び β は、0 ≤ α + β ≤ 1の定数である。 Q_i は、チャネル領域の表面から基板の深さ方向に沿ったチャネル深さ方向の単位面積当たりの空乏電荷量である。

【0047】 C_{On} 及び C_{Op} はそれぞれ局部的に異なる膜厚のゲート絶縁膜の単位面積当たりの容量値である。以下に該問題を解決するための手段に記載した項目にそって作用を示す。第1の手段をとることで、同一の集積回路半導体装置内に複数のにしたい値電圧のトランジスタを容易に得るという作用がある。

【0048】このことにより回路設計の自由度も増えて非常に高性能で高機能の半導体集積回路装置を低コストで実現可能となる。第2の手段をとることで、キックがなくリーク電流の少ない良好な特性のトランジスタを比較的精度良く狙いどりに得ることが可能となる。これは、微細加工の許す範囲より細かく分割されているほうが良好な特性を得られる。

【0049】第3及び第4の手段をとることで、1回のチャネル不純物導入工程で複数のにしたい値電圧のトランジスタを容易に得る作用がある。従来では、例えば1回のフォトリソ工程での光学的パターンニング工程とイオン注入工程よりなるチャネル不純物の導入工程でMOS FETのにしたい値電圧を制御する場合、同一導電型の半導体基板領域もしくはウェル領域に形成されるMOS FETのにしたい値電圧は、チャネル領域全面に不純物が導入されたトランジスタとまったく導入されていないトランジスタの2種類だけであったが、第3及び第4の手段をとることでチャネル領域に部分的に不純物が導入されたトランジスタのにしたい値電圧は、チャネル領域全面に不純物が導入されたトランジスタのにしたい値電圧とまったく

* グラフィーにより、チャネル領域に局部的に異なる不純物領域をパターンニングすることでねらひのにしたい値電圧にすることができる。

【0043】即ち、異なる不純物領域をパターンニングした場合に、にしたい値電圧は次式のように近似される。

$$V_n = \phi_n + \alpha \cdot (Q_n / C_n) + \beta \cdot (Q_p / C_p) + 2\phi_i \quad (3)$$

※ I S F E Tにおいても同様の手段により、エンハンスメント側にほぼ同じにしたい値電圧に制御することができる。

【0045】また式1は、にしたい値電圧がゲート絶縁膜の単位面積当たりの容量値が変化しても変わること示しているが、このことはすなわちチャネル領域の不純物濃度が一定であっても同一チャネル内にゲート絶縁膜の厚さが異なる領域が複数種類・複数領域存在する場合も同様ににしたい値電圧が変化することを示している。

【0046】この場合のにしたい値電圧は次式で近似できる。

$$V_n = \phi_n + \alpha \cdot (Q_n / C_{On}) + \beta \cdot (Q_p / C_{Op}) + 2\phi_i \quad (4)$$

導入されなかったトランジスタのにしたい値電圧の間に分布するため少なくとも3種類のにしたい値電圧のトランジスタを形成することができる。

【0050】また、不純物が導入された領域の面積比や形状を適切に選択することによりさらに3種類以上のにしたい値電圧のトランジスタを容易に形成することができる。第5の手段をとることで、1回のチャネル不純物導入工程でゲート絶縁膜の膜厚が異なってもにしたい値電圧が同じ値もしくはそれぞれ所望の値に合わせ込まれたトランジスタが容易に得ることができるという作用がある。

【0051】第6の手段をとることで、1回のチャネル不純物導入工程で同一導電型で基板の不純物濃度もしくはウェルの不純物濃度の異なる領域に形成されてもにしたい値電圧が同じ値もしくはそれぞれ所望の値に合わせ込まれたトランジスタが容易に得ることができるという作用がある。

【0052】第7の手段をとることで、1回のチャネル不純物導入工程で異なる導電型の基板もしくはウェルの領域に形成されてもにしたい値電圧が絶対値として同じ値もしくはそれぞれ所望の値に合わせ込まれたトランジスタが容易に得ることができるという作用がある。

【0053】第8、第9及び第10の手段をとることで、絶縁膜の上の導膜半導体膜に形成されるトランジスタにおいてにしたい値電圧の異なる複数のトランジスタを1回のチャネル不純物導入工程で容易に得ることができるという作用がある。また、前記導膜半導体膜の厚さが充分薄くトランジスタのチャネル領域の厚さやチャネル不純物が導入された深さと同等である場合は、部分的に導入されたチャネル不純物が充分拡散し全体としてよ

り均一な濃度に近づけるため、より特性の良いトランジスタを得ることができる。

【0054】第10の手段をとることでフォトレジストの光学的パターンニング工程を1工程省略することができる。第12の手段をとることでフォトレジストの光学的パターンニング工程を1工程省略する事ができる。エンハンスメント型からデプレッション型まで3種類以上の所望のしきい値電圧のMOSFETが1回フォトレジストの光学的パターンニングと2回の不純物導入工程で形成することができる。

【0055】第13から17の手段をとることで従来と比較して特別な工程の追加を行わずに第3から第10の手段記載のMOSFET及び前記MOSFETを搭載した半導体集積回路装置を簡単に製造することができる。第18の手段をとることでフォトレジストの光学的パターンニング工程を1工程省略してもMOSFETの特性を落とさずに半導体装置を製造することができる。

【0056】第19の手段をとることでフォトレジストの光学的パターンニング工程を1工程省略する事ができる。エンハンスメント型からデプレッション型まで3種類以上の所望のしきい値電圧のMOSFETが1回のフォトレジストの光学的パターンニングと2回の不純物導入工程で製造することができる。

【0057】第20の手段をとることで、第2の閥膜のゲート絶縁膜を形成する工程を1つ追加するだけで、複数のしきい値電圧のMOSFETを容易に形成する作用がある。また、FLOTOX型不揮発性メモリを搭載する集積回路半導体装置のようにトンネル絶縁膜のような第2の閥膜のゲート絶縁膜を形成する工程がすでにある場合には、新たに工程を追加すること無く複数のしきい値電圧のMOSFETを容易に得ることができる。

【0058】第21及び第22の手段をとることで、第20の手段記載のMOSFET及び前記MOSFETを搭載した集積回路半導体装置を簡単に製造することができる。第23の手段をとることで、比較的チャネル面積の大きなアナログ回路のトランジスタは、チャネル不純物領域を適切な形状と大きさにする事で、自由度が大きく高性能なアナログ回路を構成でき、さらに前記アナログ回路とデジタル回路を同一の基板上に低コストで搭載することができる。第24の手段をとることで、複数直列に接続されたMOSFET (MOSダイオード) での基板効果によるしきい値電圧の上昇で起こる電圧降下が小さくできるため、非常に効率的な電圧昇降回路を構成する事ができる。また第24の手段による電圧昇降回路を不揮発性記憶機能を有する半導体集積回路装置に搭載した場合、同じ昇降能力をより小さな面積の回路で構成したり同じ面積の回路でより昇降能力の高い回路を構成する

事ができるため、より低コストで高性能な集積回路半導体装置が実現できる。

【0060】第25、第26及び第27の手段をとる事で従来複数のしきい値電圧のMOSFETを形成するために、それぞれ別の不純物濃度を導入する工程が必要であったものが、ひとつの工程で実現できるので、より低コストな集積回路半導体装置が実現できる。詳しい説明は、実施例に譲る。

【0061】

【実施例】以下に、この発明の実施例を図に基づいて説明する。図1は、本発明に係る第1の実施例のMOSFETを表す模式的な平面図である。

【0062】ここで第1の実施例のMOSFETをP型半導体基板上に形成されるN型MOSFETとすると第1の不純物濃度のチャネル領域104の不純物濃度はP型半導体基板によってきまり、第2の不純物濃度のチャネル領域105の不純物濃度は不純物導入用マスクのパターン106により光学的にパターンニングされたフォトレジストで選択された領域にイオン打ち込みにより不純物を導入する事によりきまるが、不純物導入用マスクのパターン106がトランジスタのチャネル長と平行な方向に複数の短冊状に描かれているため、第2の不純物濃度のチャネル領域を形成するために導入される不純物も同様にトランジスタのチャネル長と平行な方向の短冊状に導入される。

【0063】その結果、第1の不純物濃度のチャネル領域104と第2の不純物濃度のチャネル領域105はそれぞれチャネル長と平行な方向の複数の短冊状に形成される。さらに、不純物導入用マスクパターンの幅107と不純物導入用マスクパターンの間隔108の組み合わせにより、チャネル領域全面に対する第2の不純物濃度のチャネル領域の面積比を所望の値に決定する。また、同一の面積比であっても不純物導入用マスクパターンの幅107と間隔108のサイズが異なる場合もある。

【0064】第2の不純物濃度の領域は、一般的にチャネルドープの工程において形成される。その後の熱処理により不純物分布は変化する。しかし、その深さは、少なくともソース領域102及びドレイン領域103の深さより浅く形成されている。第2の不純物濃度の領域の深さをゲート電極に電界を加えて時に基板表面に発生する空乏層の深さより浅くすることにより、しきい値電圧の制御精度を高くすることができる。

【0065】図2は、本発明に係る第2の実施例のMOSFETを表す模式的な平面図である。第1の実施例と同様に不純物導入用マスクのパターン106が複数の短冊状に描かれているが、第2の実施例ではチャネル幅と平行な方向の短冊状となっている。第2の実施例においても不純物導入用マスクパターンの幅107と不純物導入用マスクパターンの間隔108の組み合わせで所望の面積比に決定され、また同一の面積比であっても不純

物導入用マスクパターンの幅 107 と間隔 108 のサイズが異なる場合がある。

【0066】図3は、本発明に係わる第2の実施例のMOSFETにおけるチャネル不純物が導入された直後のA-A'断面を表す模式的な断面図である。図4は、本発明に係わる第3の実施例のMOSFETを表す模式的な平面図である。

【0067】第3の実施例においては、不純物導入用マスクのパターン106がドット状に描かれている。第3の実施例においても第1及び第2の実施例同様に第2の不純物濃度のチャネル領域の面積比が決定され、また同一面積比であっても不純物導入用マスクパターンの幅107と間隔108のサイズが異なる場合がある。

【0068】図5は、本発明に係わる第4の実施例のMOSFETを表す模式的な平面図である。第4の実施例においては、不純物導入用マスクのパターン106が市松模様状に描かれている。第3の実施例においても第1及び第2の実施例同様に第2の不純物濃度のチャネル領域の面積比が決定され、また同一面積比であっても不純物導入用マスクパターンの幅107と間隔108のサイズが異なる場合がある。

【0069】図6及び図7は第1、第2及び第3の実施例のMOSTランジスタの種類、具体的な各部のサイズ及びチャネル領域全面に対する第2の不純物濃度領域の面積比を示した説明図である。図8は比較のための従来技術によるMOSFETの種類とサイズを示した説明図である。

【0070】トランジスタTr1からTr8及びTr24からTr31は第1の実施例に係わり、トランジスタTr9からTr16及びTr32からTr39は第2の実施例に係わり、トランジスタTr17からTr23及びTr40からTr46は第3の実施例に係わる。

【0071】このうち図6に示すMOSFETは、第2の不純物濃度領域がデプレッション型のチャネルを形成するもので、図7に示すMOSFETは、第2の不純物濃度領域がエンハンスメント型のチャネルを形成するものである。また、図6及び図7に示すMOSFETの第1の不純物濃度領域は、P型半導体基板の濃度で決まるネイティブ状態となっており本実施例では、ゼロレシジョンド型のチャネルを形成するものである。

【0072】図8は、従来技術によるデプレッション型(Tr47)、エンハンスメント型(Tr48)及びゼロレシジョンド型(Tr49)のMOSFETのサイズを示した説明図である。図6におけるMOSFETの第2の不純物濃度の領域と図8のデプレッション型MOSFETのチャネル領域は、チャネルをノーマリーオン状態にするための不純物としてリン(P)、エネルギーとドーザ量がそれぞれ、50KeV、2.4×10¹¹cm⁻²の条件で導入されている。

【0073】図7におけるMOSFETの第2の不純物

濃度の領域と図8のエンハンスメント型MOSFETのチャネル領域は、しきい値電圧を高くするための不純物としてボロン(B)が、エネルギーとドーザ量がそれぞれ40KeV、4.5×10¹¹cm⁻²の条件で導入されている。

【0074】図9は従来型のトランジスタであるTr47とTr49、さらに本発明の実施例であるTr1とTr6のしきい値電圧を測定した際のゲート電圧(V_g)に対するドレイン電流(I_d)を示した図である。このときドレイン電流(I_d)はソース及び基板をグランドに接続しドレインに0.1V印加したときに流れる電流を測定している。

【0075】さらにしきい値電圧は各曲線の傾きが最大となる点での接線(図9では一点線線で示されている)のX切片からドレイン電圧の1/2すなわち0.05Vを引いた値としている。図10は、前記のトランジスタTr47、Tr49、Tr1及びTr6のサブスレッショルド電流の特性を示した図である。

【0076】測定条件は、図9のしきい値電圧を測定する場合と同じであるがY軸となるドレイン電流(I_d)を対数で示している。図9及び10よりしきい値電圧及びドレイン電流特性のどちらも本発明により従来技術によるトランジスタの間の領域を容易にねらえることがわかる。

【0077】図11、12及び13は、図6に示した各トランジスタのしきい値電圧と全チャネル領域に対する第2の不純物濃度領域の面積比の関係を示す第2の不純物濃度領域の形状別に表したグラフである。また従来技術によるトランジスタTr47及びTr49がそれぞれ面積比が"1"あるいは"0"として○印で示されている。

【0078】チャネル全面が、第1の不純物濃度であるトランジスタTr49のしきい値電圧(約0.00V)とチャネル全面が第2の不純物濃度であるトランジスタTr47のしきい値電圧(約-0.73V)の間に本発明における第1、第2及び第3の実施例のトランジスタのしきい値電圧が分布しているが第2の不純物濃度領域の形状によりグラフの形状が大きく異なり、第2の不純物濃度領域の面積比あるいは第2の不純物濃度領域の幅と間隔に依存してしきい値電圧が変化している。

【0079】また図中の括弧内の数値は第2の不純物濃度領域の(幅、間隔)を[μm]単位で示している。第2の不純物濃度領域がチャネル長と平行な方向の短冊状に形成されている場合は、第2の不純物濃度の面積比としきい値電圧には強い相関があり、ほぼ比例関係となっており、また第2の不純物濃度領域の幅と間隔でも若干しきい値電圧が変化する。

【0080】第2の不純物濃度領域がチャネル幅と平行な方向の短冊状に形成されている場合、もしくはドット状に形成されている場合は、第2の不純物濃度領域の間隔すなわちしきい値電圧の高い第1の不純物濃度領域の

幅に強い相関があることがわかる。すなわち、第2の不純物濃度領域の面積比の違いによってもしきい値電圧は変化することが同一面積比であっても第1の不純物濃度領域の幅を変化させるとしきい値電圧が大きく変わる。またこの場合は、面積比でも若干しきい値電圧が変化する。

【0081】また、第2の不純物濃度領域の幅を一定にして間隔を変化させた場合のしきい値電圧の値と間隔を一定にして幅を変化させた場合のしきい値電圧の値とをそれぞれ結ぶと各点は、グラフ上で格子を形成することがわかる。図14は、同一面積比(0.5)で第2の不純物濃度領域の幅と間隔を変化させた場合のしきい値電圧の変化を示したグラフである。

【0082】幅と間隔が4.0 μm 以下になると急激にしきい値電圧が変化する事がわかる。特に第2の不純物濃度領域がチャネル幅と平行な短冊状に形成されている場合により急激に変化する。以上に示す様に、第2の不純物濃度領域の面積比と形状を適切に選択する事によって、所望のしきい値電圧を形成することが可能となる。

【0083】図7に示した第2の不純物濃度領域がエンハンスメント型のチャネルを形成するMOSトランジスタにおいても、同様に第2の不純物濃度領域の面積比と形状を適切に選択する事によって所望のしきい値電圧を任意に選択する事ができる。図15は従来型のトランジスタである $T_r 48$ と $T_r 49$ 、さらに本発明のエンハンスメントトランジスタにおける実施例である $T_r 24$ と $T_r 29$ のしきい値電圧を測定した際のゲート電圧(V_g)に対するドレイン電流(I_d)を示した図である。

【0084】デプレッショントランジスタの時と同様にドレイン電流(I_d)はソース及び基板をグラウンドに接続しドレインに0.1V加したときに流れる電流を測定している。さらにしきい値電圧は各曲線の傾きが最大となる点での接線(図15では一点鎖線で示されている)のX切片からドレイン電圧の1/2すなわち0.05Vを引いた値としている。

【0085】図16は、前記のトランジスタ $T_r 48$ 、 $T_r 49$ 、 $T_r 24$ 及び $T_r 29$ のサブスレッショルド電流の特性を示した図である。測定条件は、図15のしきい値電圧を測定する場合と同じであるがY軸となるドレイン電流(I_d)を対数で示している。

【0086】図15及び16よりエンハンスメントトランジスタにおいてもしきい値電圧及びドレイン電流特性のどちらも本発明により従来の技術によるトランジスタの間の領域を容易にねらえることがわかる。図17、18及び19に示すように図7に示したエンハンスメントトランジスタにおいても第2の不純物濃度領域の面積比と形状を適切に選択する事によって所望のしきい値電圧を任意に選択する事ができる。

【0087】また、図17、18及び19には従来技術

によるトランジスタ $T_r 48$ 及び $T_r 49$ がそれぞれ面積比1"あるいは0"として○印で示されている。図中の括弧内の数値は第2の不純物濃度領域の(幅、間隔)を μm 単位で示している。

【0088】図20は図6に示したデプレッションタイプの各トランジスタのうち第2の不純物濃度領域がチャネル幅と平行な短冊状に形成されている $T_r 1$ から $T_r 8$ の飽和電流値と全チャネル領域に対する第2の不純物濃度領域の面積比の関係を表すグラフである。

【0089】しきい値電圧と同様に第2の不純物濃度領域の面積比と飽和電流値はほぼ比例関係となっている。図21は図6に示したデプレッションタイプの各トランジスタのうち第2の不純物濃度領域がチャネル幅と平行な短冊状に形成されている $T_r 9$ から $T_r 16$ の飽和電流値と全チャネル領域に対する第2の不純物濃度領域の面積比の関係を表すグラフである。

【0090】これも同様に、しきい値電圧と同様に第2の不純物濃度領域の面積比と飽和電流値はほぼ比例関係となっている。以上の実施例はNチャネル型MOSFETの例について述べてきたが、Pチャネル型MOSFETについても同様な特性を得る事ができる。

【0091】また本実施例ではネイティブ状態のMOSFETのしきい値電圧はほぼ0Vとしたが、本発明はこれに拘束されるものではなく、ネイティブなMOSFETのしきい値電圧がより強いエンハンスメント状態やデプレッション状態の場合でも、第2の不純物濃度領域の形状や面積比を適切に選択する事で所望のしきい値電圧に設定できるばかりか、1回の不純物導入工程でエンハンスメントからデプレッションまでのすべてのしきい値電圧のMOSFETが同一の不純物濃度の半導体基板上またはウェル上に自由に形成できる。

【0092】ネイティブ状態のMOSFETのしきい値電圧がほぼ0Vの場合、1回のフォトリソの光学パターンニング工程と2回の不純物導入工程でエンハンスメント型MOSFETとデプレッション型NMOSFETを同時に製造するためには、例えばNチャネルMOSFETでは、フォトリソを用いてチャネル領域全面にMOSFETをエンハンスメント型の所望のしきい値電圧にするための不純物としてボロン(B)を導入し、その後デプレッション型MOSFETを製造するために必要部分のみフォトリソを用いて選択的にリン(P)を導入する。

【0093】このとき、チャネル内のエンハンスメント領域とデプレッション型の領域との面積比や各々の形状を変えることにより所望のしきい値のトランジスタを製造する事が可能となる。さらに、チャネル領域の不純物としてのボロンとリンの濃度分布のピーク位置を実質的に同一位置(例えば $\pm 20\text{nm}$ 以内)にある構造とする事により、各MOSFETのしきい値電圧や駆動能力をより安直して得られる構造とすることが可能である。

21

【0094】また、ネイティブ状態のMOSFETのしきい値電圧がより強いエンハンスメント状態である場合は、前述したボロンの導入工程が不要である場合もある。これらの局所的なしきい値電圧の組み合わせ、すなわち第1の不純物濃度領域の表面反転電圧と第2の不純物濃度領域の表面反転電圧の組み合わせの例として以下の組み合わせがあげられる。

【0095】(1) 第1の不純物濃度領域の表面反転電圧が $-0.01 \sim -1.0$ VであるNチャネル型MOSFET。

(2) 第1の不純物濃度領域の表面反転電圧が $-0.01 \sim -0.3$ Vで、第2の不純物濃度領域の表面反転電圧が $0.3 \sim 5.0$ VであるNチャネル型MOSFET。

【0096】(3) 第1の不純物濃度領域の表面反転電圧が $0.3 \sim 5.0$ Vで、第2の不純物濃度領域の表面反転電圧が $-0.01 \sim -1.0$ VであるNチャネル型MOSFET。

(4) 第1の不純物濃度領域の表面反転電圧が $0.01 \sim -0.3$ Vで、第2の不純物濃度領域の表面反転電圧が $-0.01 \sim -1.0$ VであるPチャネル型MOSFET。

【0097】(5) 第1の不純物濃度領域の表面反転電圧が $0.01 \sim -0.3$ Vで、第2の不純物濃度領域の表面反転電圧が $-0.3 \sim -5.0$ VであるPチャネル型MOSFET。

(6) 第1の不純物濃度領域の表面反転電圧が $-0.3 \sim -5.0$ Vで、第2の不純物濃度領域の表面反転電圧が $0.01 \sim -1.0$ VであるPチャネル型MOSFET。

【0098】また、前述したボロンとリンの不純物濃度分布の位置を実質的に同一位置とする方法は、デプレッション型MOSFETとエンハンスメント型MOSFETをそれぞれ1種類ずつ形成しない場合は、チャネル上にフォトリソを部分的に形成する必要はなく、すべて覆うか覆わないかで形成することができる。

【0099】この場合の製造方法を第5の実施例として図22及び図23に示す。まず、図22(a)に示すように、抵抗率 $10 \sim 20 \Omega \cdot \text{cm}$ のP型シリコン基板2201の表面に熱酸化膜2202を形成し、CVD法により $100 \sim 150 \text{ nm}$ の厚さのシリコン窒化膜2203を全面に形成する。その後、前記シリコン窒化膜2203上にフォトリソパターン2204aを設け、それをマスクにして該シリコン窒化膜2203をプラズマエッチング法により除去して前記酸化膜2202の一部を露出させる。

【0100】次に図22(b)に示すように、前記フォトリソパターン2204aを剥離した後、熱酸化法により $500 \sim 1200 \text{ nm}$ の厚さのフィールド酸化膜2205を形成する。次に前記シリコン窒化膜2203及びその下の酸化膜2202を除去し、新たに熱酸化

22

膜2206を 40 nm の厚さに形成する。次にボロニオンを 25 keV のエネルギーで熱酸化膜2206表面より 80 nm 付近の深さへ注入してエンハンスメント型MOSFETのチャネル領域となる、P型シリコン基板2201よりも不純物濃度の高いP型領域2207を形成する。

【0101】次に図22(c)に示すように、開孔を設けたフォトリソパターン2204cを新たに形成し、前記開孔からリンイオンを 75 keV のエネルギーで熱酸化膜2206表面より 80 nm 付近の深さへ注入してデプレッション型MOSFETのチャネル領域をN型領域2208に変換する。

【0102】またこのとき、通常はデプレッション型MOSFETのチャネル領域となる部分はすべて開孔を設けるが、フォトリソパターン2204cを選択的かつ部分的にチャネル領域に形成し、同一のチャネル領域内に部分的にリンイオンを注入する事により、フォトリソパターン2204cの形状に応じて所望のしきい値電圧のMOSFETを形成できる。

【0103】次に図22(d)に示すように、前記フォトリソパターン2204cを剥離した後、CVD法により $350 \sim 400 \text{ nm}$ の厚さのポリシリコン膜を全面に形成する。その後、前記ポリシリコン膜上にフォトリソパターン2204dを設け、それをマスクにして該ポリシリコン膜をドライエッチング法により除去してポリシリコン電極2209a、bを形成させる。

【0104】次に図23(e)に示すように、前記フォトリソパターン2204dを剥離した後、全面にリンイオンを 5×10^{18} 程度のドーズ量で注入し、高濃度のN型領域のソース領域2210a、c、及びドレイン領域2210b、dを形成する。

【0105】次に図23(f)に示すように、CVD法により $500 \sim 1000 \text{ nm}$ の厚さのPSG膜2211を全面に形成する。その後、前記PSG膜上にフォトリソパターン2204eを設け、それをマスクにして該PSG膜2211をウェットエッチング法あるいはドライエッチング法により除去してコンタクトホールを形成させる。

【0106】次に図23(g)に示すように、前記フォトリソパターン2204eを剥離した後、スパッタ法により $800 \sim 1200 \text{ nm}$ の厚さのアルミニウム膜を全面に形成する。その後、前記アルミニウム膜上にフォトリソパターン2204fを設け、それをマスクにして該アルミニウム膜をドライエッチング法により除去してアルミ配線2212a、bを形成させる。

【0107】次に図23(h)に示すように、前記フォトリソパターン2204fを剥離した後、表面保護のためのシリコン窒化膜2213をプラズマCVD法により全面に形成する。該シリコン窒化膜に開孔を設けて前記アルミ配線2212a、bのボンディングパッド部

(図示されていない。)を露出させれば、エンハンスメント型及びデプレッション型のMOSFETを回路にもつNチャネル型MOSFETによる集積回路半導体装置が完成する。

【0108】このような実施例により製造されたNチャネル型MOSFETによる集積回路半導体装置は図25に示す構造のデプレッション型MOSFETをもち、デプレッション型MOSFETのチャネル領域208及びシリコン基板201の不純物は、図24に示すように第1導電型不純物としてのボロンと第2導電型不純物としてのリンが分布している。第1導電型不純物のピーク位置 R_1 と第2導電型不純物のピーク位置 R_2 は同位置または±20nm以内の位置となる。

【0109】このような構造にすることにより、デプレッション型のチャネル領域の深さはボロン及びリンの濃度により影響を受けずにデプレッション型MOSFETのしきい値電圧及び駆動能力を安定して得られる構造となる。また第5の実施例では、Nチャネル型MOSFETによる例についてのみ示したが、Pチャネル型やNチャネル型及びPチャネル型双方によるCMOS型の集積回路半導体装置についても同様な効果がある。

【0110】次に図26は、本発明に係る第6の実施例としての集積回路半導体装置の断面図である。P型シリコン基板201の表面に深さ約1〜5μm程度のNウェル2602が形成されている。Nウェル2602内にはPMOSFETが形成されている。

【0111】Nウェル2602の形成されていないP型シリコン基板2601の表面にはN型MOSFETが形成されている。N型MOSFETはN型ソース領域2604aと、チャネル領域を挟んでN型ドレイン領域2604bが設けられている。ソース領域2604aとドレイン領域2604bとの間の基板2601の表面であるチャネル領域には、第1から第4の実施例と同様のチャネル不純物領域2607がドット状に平面的に複数分割されて設けられている。チャネル領域の表面にはゲート酸化膜2606を介してゲート電極2604cが設けられている。P型MOSFETも同様に導電型を反対して形成されている。

【0112】また、P型MOSFETのチャネル不純物領域の全チャネル領域に対する割合は、所望のねらい値を得るためにNMOSFETと異なるパターンに形成されている。例えば、チャネル不純物領域2607を設けない場合の各々のしきい値電圧が、0.2V(N型MOSFET)とー1.5V(P型MOSFET)の場合、各々のしきい値電圧が0.6Vとー0.6Vに制御するために、不純物元素としてボロンを40keV、 $4 \times 10^{11} \text{ cm}^{-2}$ のイオン注入条件でP型MOSFETのチャネル領域には全面に、N型MOSFETには面積比(0.2)の割合でチャネル領域に選択的に注入した。

即ち、1回のレジストパターン形成と、そのレジストパ

ターンをマスクとしたイオン注入により、導電型の異なるMOSFETのしきい値電圧を所望の値に制御できる。図26に示すように、各々のトランジスタのチャネル領域に各々異なる面積比でイオン注入してもよいが、一般的には、いづれか一方のみ面積比が0または1にする。残りの一方のトランジスタが面積比が0から1の間の中値によりしきい値を制御する。

【0113】図26の第6の実施例は、各々のトランジスタの基板となる半導体領域の導電型が異なる場合の本発明の実施例の断面図であるが、同じ導電型の半導体領域の場合で、かつ半導体領域の不純物濃度が異なる場合にも同様にしきい値電圧を制御できる。

【0114】例えば、図示しないが、P型半導体基板に同じ導電型で不純物濃度の低いPウェルを設け、P型半導体基板とPウェル内にそれぞれN型MOSFETを形成した場合、P型半導体基板内のN型MOSFETのしきい値電圧は0.1Vに対し、不純物濃度が低いPウェル内のN型MOSFETのしきい値電圧は0.3Vであった。

【0115】この場合、P型半導体基板内のN型MOSFETのチャネル領域へは全面にボロンイオンを注入して0.6Vに制御した。低いPウェル内のN型MOSFETへのチャネル領域へ約50%の面積比でイオン注入して同様のしきい値電圧0.6Vを得ることができた。

【0116】チャネル不純物領域2607は、ソース・ドレイン領域より浅く形成され、一般にはチャネルドープにより形成されるので100nmより浅い不純物分布を有する。チャネル不純物領域2607の不純物を電気的に効果的にしきい値電圧制御に反するために、各々のMOSFETのチャネル領域が形成される場合に形成されるチャネル領域の空乏層の深さより浅く形成することが望ましい。

【0117】また、しきい値の制御性を向上するためには、チャネル不純物領域を少なくともチャネル領域内に5領域、望ましくは10領域以上設ける必要がある。もしくは、新たにチャネル不純物を導入する領域どうしの間隔や幅を4μm以下、望ましくは1μm以下とする必要がある。これは、図14にも示されているが局所的にしきい値電圧の高い領域の幅が4μm以上にするとMOSFET全体としてのしきい値電圧が変化し難くなるためである。また図示しないが、局所的にしきい値電圧の低い部分の幅が4μm以上かつソース・ドレイン間に連続して分布している場合(例えばチャネル長と平行な短冊状)は、ゲート電圧の低い場合でのソース・ドレイン間でのリーク電流が多くなるため、このことから新たにチャネル不純物を導入する領域どうしの間隔や幅を4μm以下とすることが望ましい。

【0118】また、複数のチャネル不純物領域をチャネル領域に設けてしきい値電圧を制御するトランジスタのサイズは、従来方法による全面イオン注入制御、また

は、全面イオン注入しないトランジスタのサイズに比べ少なくとも4倍、望ましくは10倍以上のチャネル領域の面積を必要とする。従って、本発明の半導体装置としては、入出力レベルが“H”“L”のデジタル信号のみ処理するデジタル回路を構成するMOSFETには最小設計ルールを用いてチャネル領域を均一不純物領域にて形成する。入出力レベルが電源電圧と異なるアナログ信号を処理するアナログ回路を構成するMOSFETには、最小ルールによるトランジスタの約10倍以上のトランジスタで構成し、チャネル領域に複数のチャネル不純物領域を設けてしきい値を制御することが好ましい。一般に、ICは、アナログ回路とデジタル回路により構成される。しかし、アナログ回路の面積は少ない場合が一般的である。従って、アナログ回路の面積が少し増加しても、製造工程が従来より簡単にできるためコストダウンできる。特に、しきい値電圧を数多く必要とする、または、チャネルドープ前のしきい値が数多く存在に合せ込む必要がある場合には大きな効果がある。

【0119】ただし不純物の導入方法が、光学的にパターンニングされたフォトリソグラフィのマスク無しに、例えば不純物イオンビームを直接選択的にチャネル領域に打ち込むような場合には、不純物導入領域はフォトリソグラフィの光学的なパターンニングの最少寸法に律連されないため、前述のようにアナログ回路のトランジスタのチャネル領域がデジタル回路のトランジスタのチャネル領域よりも充分大きくする必要がある。

【0120】またフォトリソグラフィをマスクに不純物を導入するばあいでもトランジスタのチャネル幅とチャネル長のどちらか一方が最少加工寸法よりも充分大きな場合も同様である。図27は、本発明の第7の実施例の半導体装置の断面図である。P型シリコン基板2601にゲート絶縁膜の膜厚の異なる低電圧MOSトランジスタ(LVMOSFET)と高耐圧MOSトランジスタ(HVMOSFET)が設けられている。LVMOSFETは電源電圧3Vにて動作するために、約100nmのシリコン酸化膜で薄いゲート酸化膜2701cを形成している。HVMOSFETは、電源電圧より大きな電圧(例えば30V)にて動作できるように約100nmのシリコン酸化膜で薄いゲート酸化膜2702cを形成している。また、LVMOSFETは、ゲート絶縁膜として100nmの酸化膜を用いているために、チャネル不純物領域2701eをチャネル領域全面に設けることによりしきい値電圧を0.4Vに制御している。

【0121】一方、HVMOSFETは、ゲート絶縁膜が100nmと厚いために同様に全面イオン注入するとしきい値電圧は3V以上と非常に大きく変化してしまう。そこで、図27に示すように、HVMOSFETのみ、チャネル領域に対して10%の割合にのみチャネル不純物領域2702eを分割して形成することにより0.8V±0.1Vに制御することができた。

【0122】図27においては、ゲート絶縁膜として、膜厚の異なるMOSFETのしきい値電圧制御の実施例を示した。図示しないが、誘電率が異なる材料のゲート絶縁膜を用いても同様に制御できる。例えば、LVMOSFETのゲート絶縁膜としてはシリコン酸化膜を用い、HVMOSFETのゲート絶縁膜としてシリコン酸化膜・シリコン窒化膜・シリコン酸化膜の三重の複合膜を用いて形成することがある。

【0123】このような場合でも、図27のようなチャネル不純物領域をパターンニングすることにより1個のイオン注入により各々のトランジスタのしきい値電圧を所望の値に制御することができる。図28は図27の半導体装置の製造方法を説明するための工程順断面図である。

【0124】まず、図28(a)に示すように各々のトランジスタを電気的に分離するためのフィールド酸化膜2603を基板2601の表面に形成する。一般的には、P型シリコン基板の上に酸化膜を介してシリコン窒化膜を通常のフォトリソグラフィ技術によりパターンニングする。

【0125】次に、シリコン窒化膜をマスクとして選択酸化することにより図28(a)のようなフィールド酸化膜をパターンニングすることができる。シリコン窒化膜の形成されている領域には薄いフィールド酸化膜2603が形成されない。選択酸化後に、シリコン窒化膜とシリコン窒化膜の下の薄い酸化膜を除去するとトランジスタ領域のみシリコン表面が露出して図28(a)のようになる。

【0126】次に、図28(b)のように1000℃程度の高温にて100nmのゲート酸化膜2801を形成する。フィールド酸化膜2603は500nm以上の厚い酸化膜である。LVMOSFETとなるトランジスタ領域に100nmのゲート酸化膜を形成すると共に、図28(b)のようにHVMOSFETの領域にレジスト膜2802を形成し、レジスト膜2802をマスクとしてゲート酸化膜2801を除去する。

【0127】次に、同様に1000℃程度の高温にて、短い酸化時間でシリコン基板2601を酸化する。HVMOSFETの領域には100nmのゲート酸化膜が存在していたのでほとんどそのまま、LVMOSFETの領域にのみ100nmの酸化膜2803がゲート酸化膜として形成される。

【0128】次に、図28(d)のようにチャネル不純物形成のためのレジスト膜2804を形成する。図28(d)においては、LVMOSFETの領域には全面レジストが形成されている。一方、HVMOSFETの領域には、チャネル領域に複数のチャネル不純物領域2806が形成されるように平面的に分割されたレジストの窓が複数チャネル領域内に形成されている。レジスト膜2804をマスクとしてボロンイオンをイオン注入す

る。

【0129】次に、各々のゲート絶縁膜の上にゲート電極2805を形成する。図示しないが、ゲート電極2805を形成後、ゲート電極及びフィールド酸化膜をマスクとしてN型の不純物元素と素子イオンを注入して、各々のMOSFETのソース・ドレイン領域を形成する。

【0130】次に、A1配線とゲート電極との間の電気的分離をするための中間絶縁膜を全面に形成する。次に、各々の領域及びゲート電極とA1配線とのコンタクトをするためのコンタクトホールを中間絶縁膜に形成する。

【0131】次に、コンタクトホールをカバーするようにA1配線をパターンニングして半導体装置を製造する。チャネル不純物領域を形成するためのイオン注入工程は、図28(a)に示したフィールド酸化膜2603の形成と図28(b)と厚いゲート酸化膜形成との間、または、図28(b)の厚いゲート酸化膜形成と図28(c)の薄いゲート酸化膜形成との間でもよい。薄い酸化膜2803の上にレジスト膜2804を形成すると薄いゲート酸化膜2803の膜質が低下して集積回路半導体装置の歩留りが低下することがある。従って、一般には、厚いゲート酸化膜形成工程と薄い酸化膜形成工程との間にイオン注入工程を行う。

【0132】図29は、本発明の第8実施例のSOI(Silicon On Insulator)基板を用いた半導体装置の製造方法を説明するための工程順断面図である。本発明は、図29に示すように、チャネル領域がシリコン薄膜で形成された場合に効果を大きくすることができる。シリコン薄膜は、単結晶、多結晶あるいは、非晶質(アモルファス)いずれの場合も適用できる。チャネル領域を薄膜で形成することにより、しきい値電圧制御のためのチャネル不純物領域の不純物濃度がより効果的に制御できる。特に、チャネル領域の厚さを反転時の空乏層より薄く形成することにより、さらに効果的に制御できる。しきい値電圧がチャネル不純物領域により、主に影響されるためである。

【0133】SOI基板でない薄い基板の場合には、反転になる場合の空乏層の電荷が反転層の下に多く形成される。SOI基板においては、チャネル領域が空乏層より薄い膜のために空乏電荷量が少ない。空乏電荷量は基板濃度の関数であるが、基板が薄いためにしきい値電圧はほとんどチャネル領域内の不純物濃度分布によって制御される。

【0134】図29を用いて製造方法を説明する。シリコン基板2601の表面に1 μ mの酸化膜2901を介して100nmの単結晶シリコン膜2902が設けられている。チャネル不純物領域を形成するためのレジストパターン2903を通常のフォトリソグラフィ技術により形成する。MOSFETのチャネル領域にレジスト膜の複数の窓を設けている。レジスト膜2903をマ

スクとしてボロンイオンを単結晶シリコン膜2902へイオン注入する。

【0135】次に、必要に応じて、図29(b)のように、ボロンを1000程度の高濃度で熱拡散することにより不純物分布を一様に平均化する。次に、通常のフォトリソグラフィ工程によりトラランスタ領域にレジスト膜2906をパターンニングして分離領域を形成する。

【0136】図29(c)においては、レジスト膜2906をマスクにして異なる不純物濃度分布となったシリコン膜2904、2905をエッチング除去する。分離形成は、選択酸化により形成してもよい。次に、図29(d)のようにLVMOSFETに薄いゲート絶縁膜2907をHV MOSFETに厚いゲート酸化膜2908を形成する。

【0137】次に、図29(e)のように各々のゲート絶縁膜の上にゲート電極2909を形成する。次に、図29(d)のようにゲート電極2909をマスクとしてN型不純物をイオン注入してLVMOSFETとHVMOSFETのソース・ドレイン領域2910を形成しトラランスタを完成させる。少なくともいづれか一方のチャネル領域には、図29(a)でイオン注入された形成されたチャネル領域が平面的に分割されて複数設けられている。

【0138】SOI基板においては、図29(b)の熱拡散の条件と図29(a)のレジスト膜の厚さととの関係により、結果としてチャネル不純物領域が分割されるに、平均的に均一分布として異なる濃度として形成することもできる。均一分布に制御したい場合には、不純物の拡散長さよりレジスト膜の厚さを充分小さく形成すればよい。

【0139】また、図29においては、半導体領域として100nmと非常に薄いSOI基板の実施例について説明した。熱拡散を充分した場合には、チャネル不純物領域がシリコン薄膜の底に達する。この場合には、しきい値電圧は、ほとんどチャネル不純物領域により主に制御されることになる。即ち、半導体領域の厚さが、チャネル不純物領域の深さとはほぼ同じになる場合には、空乏層の影響が小さくなるためにしきい値電圧の制御性がより高くできる。また、チャネル不純物領域の深さ程度まで半導体領域としてのシリコン薄膜を薄くせずとも効果を得ることができ。少なくとも、チャネル領域にある空乏層の深さよりシリコン薄膜を薄くできれば空乏層の影響は小さくなるためにしきい値制御感度を高くできる。一般に、従来の厚い半導体基板と異なるSOI基板においては10 μ m以下のシリコン薄膜が用いられている。また、図示しないが、各々異なる厚さのシリコン薄膜を有するMOSFETに対しては同様な方法にて容易にしきい値電圧を制御できる。また、CMOS型SOI集積回路も同様な方法にて形成できる。

【0140】図30は、本発明に係る第9の実施例のMOSFETを表す模式的な平面図である。また図31は、図30に示した第9の実施例のMOSFETのA-A'断面を表す模式的な断面図である。

【0141】ここで第9の実施例のMOSFETには、第1の膜厚のゲート絶縁膜領域3004と、第2の膜厚のゲート絶縁膜領域3005が同一のチャネル領域上に形成されている。さらに第9の実施例のMOSFETは、P型半導体基板上に形成されるN型MOSFETで、第1の膜厚のゲート絶縁膜領域3004は第1層目

(下層)のポリシリコンで通常形成されるMOSFETのゲート絶縁膜であり、約60nmの厚さがある。【0142】また、第2の膜厚のゲート絶縁膜領域3005は、FLOTOX型不揮発性メモリのフローティングゲートに電荷を注入または引き抜くためのトンネル絶縁膜を代用しており、厚さは約10nmである。通常FLOTOX型不揮発性メモリでは、トンネル絶縁膜の下には、比較的高い濃度のN型不純物拡散層となっているが、本実施例ではP型半導体基板となっている。

【0143】トンネル絶縁膜で代用された第2の膜厚のゲート絶縁膜領域3005はチャネル幅と平行に複数の短冊状に描かれている。また本実施例では、しきい値電圧合わせ込み用の不純物は、通常のゲート絶縁膜やトンネル絶縁膜の形成前に不純物導入用の薄い絶縁膜を形成して、なおかつ不純物導入用マスクパターン3008で光学的にパターンニングされたフォトリソ等で選択されたチャネル領域に不純物導入用の薄い絶縁膜を介して不純物イオンをイオン注入法等で導入しているためゲート絶縁膜直下の表面濃度はゲート絶縁膜厚によらず一定である。

【0144】さらに、第1のゲート絶縁膜領域の幅3006と第2の膜厚のゲート絶縁膜領域の幅3007の組み合わせにより、第1の実施例のMOSFETにおいて第2の不純物濃度領域の面積比を決めたのと同様に第2の膜厚のゲート絶縁膜領域の面積比を所望の値に決定する。

【0145】また、同一の面積比であっても第1の膜厚のゲート絶縁膜領域の幅3006と第2の膜厚のゲート絶縁膜領域の幅3007のサイズが異なる場合がある。図32は、本発明に係る第10の実施例のMOSFETを表す模式的な平面図である。

【0146】第9の実施例と同様に第2の膜厚のゲート絶縁膜領域3005が複数の短冊状に描かれているが、第10の実施例ではチャネル長と平行な方向の短冊状となっている。第10の実施例においても第2の膜厚のゲート絶縁膜領域の面積比を所望の値に決定する。また、同一の面積比であっても第1の膜厚のゲート絶縁膜領域の幅3006と第2の膜厚のゲート絶縁膜領域の幅3007のサイズが異なる場合がある。

【0147】図33は、本発明に係る第11の実施例

のMOSFETを表す模式的な平面図である。第11の実施例においては、第2の膜厚のゲート絶縁膜領域3005がドット状に存在している。第11の実施例においても第9及び第10の実施例と同様に第2の膜厚のゲート絶縁膜領域の面積比を所望の値に決定する。また、同一の面積比であっても第1の膜厚のゲート絶縁膜領域の幅3006と第2の膜厚のゲート絶縁膜領域の幅3007のサイズが異なる場合がある。

【0148】図34は、本発明に係る第12の実施例のMOSFETを表す模式的な平面図である。第12の実施例は、第9の実施例の改良型でフィールドゲート絶縁膜エッジから第2の膜厚のゲート絶縁膜領域3005を離れた構成となっている。

【0149】このような構成とする事で、第2の膜厚のゲート絶縁膜領域3005の膜厚が非常に薄くてもゲート電極に高電圧が加えられた場合のフィールドゲート絶縁膜エッジでの基板へのリーク電流を減らす事ができる。図35は、本発明に係る第13の実施例のMOSFETを表す模式的な平面図である。

【0150】第13の実施例は、第10の実施例の改良型でソース及びドレインエッジから第2の膜厚のゲート絶縁膜領域3005を離れた構成となっている。このような構成とする事で、第2の膜厚のゲート絶縁膜領域3005の膜厚が非常に薄くてもソース及びドレインの耐圧を向上させることができる。

【0151】図36は、本発明に係る第14の実施例である電圧昇圧回路(チャージポンプ回路)の回路図である。MOSFETのドレイン電極とゲート電極が同一のノードで接続されたMOSダイオードを複数直列に接続し、おのおののMOSダイオード同士が接続されるノードには、それぞれ容量が接続されている。容量の片方の電極には ϕ 及び $\phi \times$ という互いに位相のずれた信号をひとつおきに交互に与える構造になっており、容量C1からCnへ順次電荷を伝送する事により、電源電圧VDよりも昇圧された高い電圧であるVPPがMOSダイオードMnより出力される。

【0152】このときMOSダイオードM1~Mnがすべて同じしきい値電圧で構成されていると、後段になるほど基板効果により実質的なしきい値電圧が高くなるため、ドレイン電圧に対するソース電圧の低下が次第に大きくなる。すなわちチャージポンプ回路の効率が後段ほど低くなるのである。

【0153】そこで本実施例では、MOSダイオードM1~Mnのチャネル領域における第2の不純物濃度の面積比をそれぞれ変えて、後段ほどしきい値電圧が低くなるように構成されている。現実には、前段にはチャネルの不純物濃度がネイティブ状態(本実施例ではしきい値電圧が約0.00V)のトランジスタを使用し、後段になるほどデプレッション状態が深くなる。すなわちノーマリーオン状態が深くなるようになっている。しかし

ながら後段のMOSダイオードほど基板効果によるしきい値電圧の上昇が大きい結果として実質的なしきい値電圧は、どのMOSダイオードも0V近辺となり、各段におけるドレイン電圧に対するソース電圧の低下は低く抑えられ電圧昇圧回路の効率は非常に高くなる。またすべてのMOSダイオードのしきい値電圧を異なる電圧にするのではなく、いくつかのブロックに分けて数段階つしきい値電圧を変えてよい。

【0154】また、第2のゲート絶縁膜領域の面積比を変える事によって、しきい値電圧を変えても同様の効果が得られる。図37は、第15の実施例であるところの電圧昇圧回路を搭載する不揮発性半導体記憶装置の簡単なブロック図である。

【0155】このように、効率の高い電圧昇圧回路を搭載する事で、0.7Vから1.0V程度の極低電圧域でも電気的にデータの書き込み及び消去ができる不揮発性半導体記憶装置が実現できる。図38は、本発明に係る第16の実施例である差動増幅回路を有する一定電圧出力回路の回路図である。

【0156】差動増幅回路部3801で基準電圧発生回路部3802で発生された基準となる一定電圧と出力回路部3803で外部に出力される電圧を抵抗R1及びR2で抵抗分割された電圧とを比較する事で、出力端子VOUTから出力の負荷が変わっても常に一定の電圧を出力する構成となっている。

【0157】本実施例では、NMOSTランジスタM3の基板効果によるしきい値電圧の上昇で低電圧動作時にランジスタM3がカットオフするのを防ぐために、比較的低いしきい値電圧（約0.34V）のエンハンスメント型NMOSTランジスタM3、M4及びM5を差動増幅回路部3801に使用している。

【0158】また基準電圧発生回路部3802には、高圧時におけるNMOSTランジスタM8のリーク電流を抑えて基準電圧値を安定させるために比較的高いしきい値電圧（約0.50V）のエンハンスメント型NMOSTランジスタM8を使用している。

【0159】さらに前記基準電圧発生回路部3802には、デプレッション型NMOSTランジスタM7（ $V_{th} = -0.40V$ ）が使用されており、本実施例全体でNMOSTランジスタのしきい値電圧は合計で3種類存在することとなる。従来の技術ではこの3種類のしきい値電圧のランジスタを製造するためにはそれぞれ別の3回の不純物導入工程を必要としたが、本実施例では第2の不純物濃度領域を適切な形状と面積比にする事で、これらのランジスタが2回もしくは1回の不純物導入工程で製造する事が可能となる。

【0160】

【発明の効果】この発明は、以上説明したように同一のMOSFETのチャネル領域に平面的に複数の不純物濃度領域や複数の異なるゲート絶縁膜領域を設ける事によ

り、結果として複数の表面反転電圧の領域を設け、さらに第1の表面反転電圧領域の平面的面積と第2以降の表面反転電圧領域の平面的面積の比率を複数設けるか、もしくは同一の面積比であっても、第1の表面反転電圧領域及び第2以降の表面反転電圧領域の平面的大きさや形状を複数設けることで以下の半導体装置を簡単に製造できる効果を有する。

【0161】（1）同一基板上に非常に多くの種類のしきい値電圧を有するMOSFETを低コストで形成できる。

（2）ほぼ同じレベルのしきい値電圧を有する高耐圧MOSFETと低電圧MOSFETを低コストで形成できる。

【0162】（3）ほぼ同じレベルのしきい値電圧を有するN型MOSFETとP型MOSFETを低コストで形成できる。

（4）前記（1）から（3）のMOSFETを搭載することでより高性能な半導体集積回路装置を低コストで製造できる。

【図面の簡単な説明】

【図1】本発明における第1の実施例のMOSFETの模式的平面図である。

【図2】本発明における第2の実施例のMOSFETの模式的平面図である。

【図3】本発明における第2の実施例のMOSFETの模式的断面図である。

【図4】本発明における第3の実施例のMOSFETの模式的平面図である。

【図5】本発明における第4の実施例のMOSFETの模式的平面図である。

【図6】本発明における第1～3の実施例のデプレッション型MOSFETの具体的な各部のサイズや種類を示した説明図である。

【図7】本発明における第1～3の実施例のエンハンスメント型MOSFETの具体的な各部のサイズや種類を示した説明図である。

【図8】本発明における第1～3の実施例のMOSFETの特性と比較するための従来技術によるMOSFETの具体的な各部のサイズや種類を示した説明図である。

【図9】本発明における第1の実施例のデプレッション型MOSFETのしきい値電圧を測定する際のゲート電圧に対するドレイン電流を示した説明図である。

【図10】本発明における第1の実施例のデプレッション型MOSFETのしきい値電圧を測定する際のゲート電圧に対するドレイン電流を対数で表したサブスレッショルド電流を示すための説明図である。

【図11】本発明における図6の表に示したMOSFETの中で、第1の実施例に係わるMOSFETのしきい値電圧と全チャネル領域の面積に対する第2の不純物濃度領域の面積比との関係を示したグラフである。

【図12】本発明における図6の表に示したMOSFETの中で、第2の実施例に係わるMOSFETのしきい値電圧と全チャネル領域の面積に対する第2の不純物濃度領域の面積比との関係を示したグラフである。

【図13】本発明における図6の表に示したMOSFETの中で、第3の実施例に係わるMOSFETのしきい値電圧と全チャネル領域の面積に対する第2の不純物濃度領域の面積比との関係を示したグラフである。

【図14】本発明における図6の表に示したMOSFETの中で、第1及び第2の実施例のMOSFETのしきい値電圧と第1の不純物濃度領域の幅との関係を示したグラフである。

【図15】本発明における第1の実施例のエンハンスメント型MOSFETのしきい値電圧を測定する際のゲート電圧に対するドレイン電流を示した説明図である。

【図16】本発明における第1の実施例のエンハンスメント型MOSFETのしきい値電圧を測定する際のゲート電圧に対するドレイン電流を対数で表しサブスレッショルド電流を示すための説明図である。

【図17】本発明における図7の表に示したMOSFETの中で、第1の実施例に係わるMOSFETのしきい値電圧と全チャネル領域の面積に対する第2の不純物濃度領域の面積比との関係を示したグラフである。

【図18】本発明における図7の表に示したMOSFETの中で、第2の実施例に係わるMOSFETのしきい値電圧と全チャネル領域の面積に対する第2の不純物濃度領域の面積比との関係を示したグラフである。

【図19】本発明における図7の表に示したMOSFETの中で、第3の実施例に係わるMOSトランジスタのしきい値電圧と全チャネル領域の面積に対する第2の不純物濃度領域の面積比との関係を示したグラフである。

【図20】本発明における図6の表に示したMOSFETの中で、第1の実施例に係わるMOSFETの飽和電流値と全チャネル領域の面積に対する第2の不純物濃度領域の面積比との関係を示したグラフである。

【図21】本発明における図6の表に示したMOSFETの中で、第2の実施例に係わるMOSFETの飽和電流値と全チャネル領域の面積に対する第2の不純物濃度領域の面積比との関係を示したグラフである。

【図22】本発明における第5の実施例を示す半導体装置の製造方法の工程断面図である。

【図23】本発明における第5の実施例を示す半導体装置の製造方法の工程断面図である。

【図24】本発明における第5の実施例のデプレッション型MOSFETのチャネル領域の不純物濃度分布である。

【図25】本発明における第5の実施例におけるデプレッション型MOSFETの断面図である。

【図26】本発明における第6の実施例のCMOSICの断面図である。

【図27】本発明における第7の実施例の高耐圧MOSFET内蔵ICの断面図である。

【図28】本発明における第7の実施例の高耐圧MOSFET内蔵ICの製造工程断面図である。

【図29】本発明における第8の実施例のSOI半導体装置の製造工程断面図である。

【図30】本発明の第9の実施例のMOSFETの模式的平面図である。

【図31】本発明における第9の実施例のMOSFETの模式的断面図である。

【図32】本発明における第10の実施例のMOSFET模式的平面図である。

【図33】本発明における第11の実施例のMOSFETの模式的平面図である。

【図34】本発明における第12の実施例のMOSFETの模式的平面図である。

【図35】本発明における第13の実施例のMOSFETの模式的平面図である。

【図36】本発明における第14の実施例の電圧昇回路の回路図である。

【図37】本発明における第15の実施例の第14の実施例の電圧昇回路を搭載した不揮発性半導体記憶装置のブロック図を示した図である。

【図38】本発明における第16の実施例の差動増幅回路を有する一定電圧出力回路の回路図である。

【図39】従来の技術によるMOSFETの模式的平面図である。

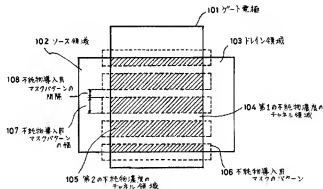
【図40】従来の技術によるMOSFETの模式的断面図である。

【符号の説明】

- 101、2909、3001、3901、4001 ゲート電極
- 102、3002、3902、4002 ソース領域
- 103、3003、3903、4003 ドレイン領域
- 104 第1の不純物濃度のチャネル領域
- 105 第2の不純物濃度のチャネル領域
- 106 不純物導入用マスクのパターン
- 107 不純物導入用マスクパターンの幅
- 108 不純物導入用マスクパターンの間隔
- 301、3101、4007 フィールド絶縁膜
- 302、4005 ゲート絶縁膜
- 2201 P型シリコン基板
- 2202 熱酸化膜
- 2203 シリコン窒化膜
- 2204a～f フォトリソグパターン
- 2205、2603 フィールド酸化膜
- 2206 熱酸化膜
- 2207 元の基板より不純物濃度の高いP型領域
- 2208 デプレッション型MOSFETのチャネル領

- 2209a, b ポリシリコン電極
 2210a~d 高濃度N型領域
 2211 PSG膜
 2212a, b アルミ配線
 2213 シリコン窒化膜
 2601 P型シリコン基板
 2602 Nウェル
 2604a, 2701a N型ソース領域
 2606 ゲート酸化膜
 2702a, 2702b, 2604b, 2701b N 10
 型ドレイン領域
 2604c, 2605c, 2805, 2701d, 27
 02d ゲート電極
 2605a P型ソース領域
 2605b P型ドレイン領域
 2607, 2701e, 2702e, 2806 チャネ
 ル不純物領域
 2701c, 2907, 2803 薄いゲート酸化膜
 2702c 厚いゲート酸化膜
 2801, 2908 厚いゲート絶縁膜
 2802, 2804 レジスト膜
 2901 絶縁膜
- * 2902 単結晶シリコン膜
 2903, 2906 フォトリソ
 2904 第1の不純物濃度分布をもつシリコン膜
 2905 第2の不純物濃度分布をもつシリコン膜
 2910 ソース・ドレイン領域
 3004 第1の膜厚のゲート絶縁膜領域
 3005 第2の膜厚のゲート絶縁膜領域
 3006 第1の膜厚のゲート絶縁膜領域の幅
 3007 第2の膜厚のゲート絶縁膜領域の幅
 3008 不純物導入用マスクのパターン
 3601 NMOSTランジスタによるMOSダイオ
 ド
 3602 電荷蓄積用の容量
 3801 差動増幅回路部
 3802 基準電圧発生回路部
 3803 出力回路部
 3904 チャネル領域1
 3905 イオン打ち込み用マスク1のパターン
 3906, 3908 チャネル領域2
 20 3907 イオン打ち込み用マスク2のパターン
 4004 チャネル領域
 * 4006 半導体基板

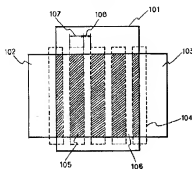
【図1】



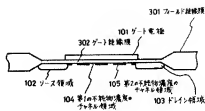
【図8】

| トランジスタのタイプ | チャネル幅チャネル長 | | 不純物導入用マスクパターンの形状とサイズ | | | 第2の領域の長さ |
|------------|-------------|--------|----------------------|-------------|----|----------|
| | (μm) | (μm) | 形状 | 幅 | 間隔 | |
| タイプ47 | サブミクロン型NMOS | 5.0 μm | 5.0 μm | チャネル領域全長 | — | 1.000 |
| タイプ48 | サブミクロン型NMOS | 5.0 μm | 5.0 μm | チャネル領域全長 | — | 1.000 |
| タイプ49 | サブミクロン型NMOS | 5.0 μm | 5.0 μm | 無し (50度タイプ) | — | 3.000 |

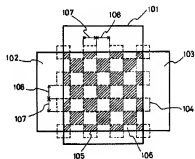
【図2】



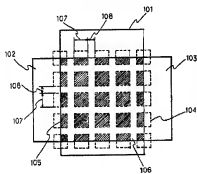
【図3】



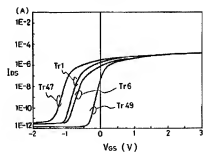
【図5】



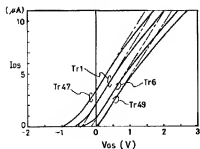
【図4】



【図10】



【図9】



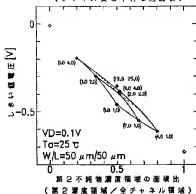
【圖 7】

[illegible]

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|----|------|------|------|------|------|------|------|------|------|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|
| 41 | 第一分區 | 第二分區 | 第三分區 | 第四分區 | 第五分區 | 第六分區 | 第七分區 | 第八分區 | 第九分區 | 第十分區 | 第十一分區 | 第十二分區 | 第十三分區 | 第十四分區 | 第十五分區 | 第十六分區 | 第十七分區 | 第十八分區 | 第十九分區 | 第二十分區 | 第二十一分區 | 第二十二分區 | 第二十三分區 | 第二十四分區 | 第二十五分區 | 第二十六分區 | 第二十七分區 | 第二十八分區 | 第二十九分區 | 第三十分區 | 第三十一分區 | 第三十二分區 | 第三十三分區 | 第三十四分區 | 第三十五分區 | 第三十六分區 | 第三十七分區 | 第三十八分區 | 第三十九分區 | 第四十分區 | 第四十一分區 | 第四十二分區 | 第四十三分區 | 第四十四分區 | 第四十五分區 | 第四十六分區 | 第四十七分區 | 第四十八分區 | 第四十九分區 | 第五十分區 | 第五十一分區 | 第五十二分區 | 第五十三分區 | 第五十四分區 | 第五十五分區 | 第五十六分區 | 第五十七分區 | 第五十八分區 | 第五十九分區 | 第六十分區 | 第六十一分區 | 第六十二分區 | 第六十三分區 | 第六十四分區 | 第六十五分區 | 第六十六分區 | 第六十七分區 | 第六十八分區 | 第六十九分區 | 第七十分區 | 第七十一分區 | 第七十二分區 | 第七十三分區 | 第七十四分區 | 第七十五分區 | 第七十六分區 | 第七十七分區 | 第七十八分區 | 第七十九分區 | 第八十分區 | 第八十一分區 | 第八十二分區 | 第八十三分區 | 第八十四分區 | 第八十五分區 | 第八十六分區 | 第八十七分區 | 第八十八分區 | 第八十九分區 | 第九十分區 | 第九十一分區 | 第九十二分區 | 第九十三分區 | 第九十四分區 | 第九十五分區 | 第九十六分區 | 第九十七分區 | 第九十八分區 | 第九十九分區 | 第一百分區 |
|----|------|------|------|------|------|------|------|------|------|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|--------|--------|--------|--------|--------|--------|--------|--------|--------|-------|

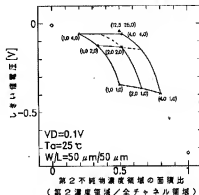
【図11】

第2不純物濃度領域の面積比対しきい値電圧
(チャンネル長と平行な短冊状)



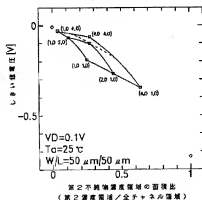
【図12】

第2不純物濃度領域の面積比対しきい値電圧
(チャンネル幅と平行な短冊状)



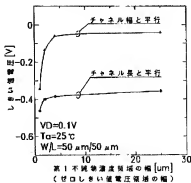
【図13】

第2不純物濃度領域の面積比対しきい値電圧
(ドット状)

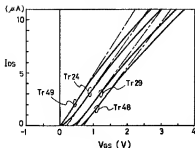


【図14】

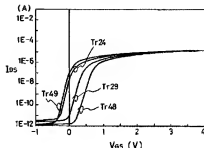
第1不純物濃度領域の幅対しきい値電圧



【図15】

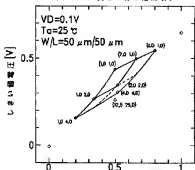


【図16】



【図17】

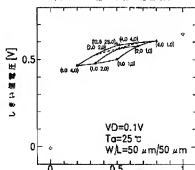
第2不純物濃度領域の面積比対しきい値電圧
(チャネル幅と平行な短絡状)



第2不純物濃度領域の面積比
(第2濃度領域/全チャネル領域)

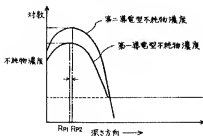
【図18】

第2不純物濃度領域の面積比対しきい値電圧
(チャネル幅と平行な短絡状)

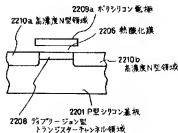


第2不純物濃度領域の面積比
(第2濃度領域/全チャネル領域)

【図24】

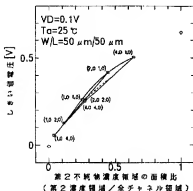


【図25】



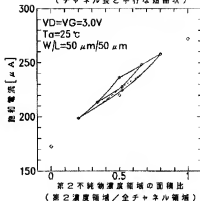
【図19】

第2不純物濃度領域の面積比対しきい値電圧
(ドット状)



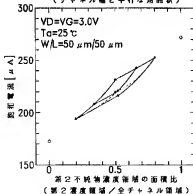
【図20】

第2濃度領域の面積比対飽和電流
(チャネル長と平行な短絡状)

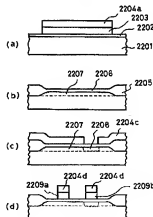


【図21】

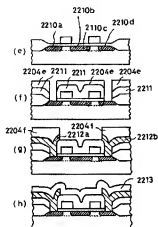
第2不純物濃度領域の面積比対飽和電流
(チャネル幅と平行な短絡状)



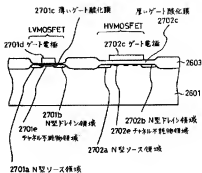
【図22】



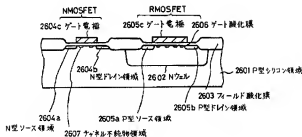
【図 23】



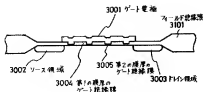
【図 27】



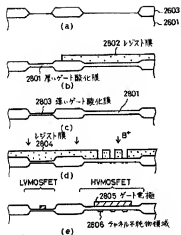
【図 26】



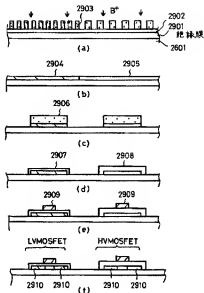
【図 31】



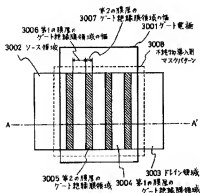
【図28】



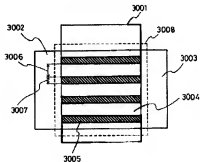
【図29】



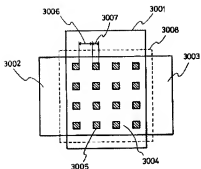
【図30】



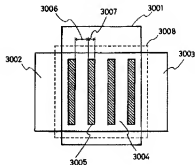
【図32】



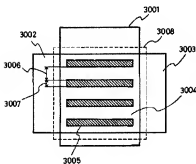
【図33】



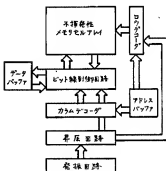
【図34】



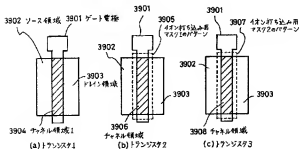
【図35】



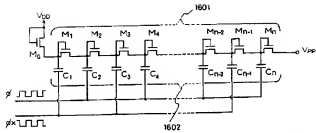
【図37】



【図39】



【圖 3 6】



1. 各段電壓

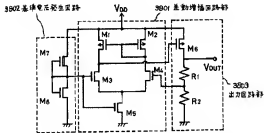
$$V_{M1} > V_{M2} > V_{M3} > \dots > V_{Mn-1} > V_{Mn}$$

$$M_0 \text{ の } W/L: W/L = 20 \mu\text{m}/5 \mu\text{m}$$

$$M_{1 \sim n-1} \text{ の } W/L: W/L = 20 \mu\text{m}/5 \mu\text{m}$$

$$C_{1 \sim n} \text{ の } C: C = 1.5 \text{ pF}$$

【圖 3 8】



$$V_{M6} > V_{M4} > V_{M5} > V_{M7}$$

$$M_{1,2} \text{ の } W/L: W/L = 20 \mu\text{m}/10 \mu\text{m}$$

$$M_{3,4} \text{ の } W/L: W/L = 10 \mu\text{m}/10 \mu\text{m}$$

$$M_5 \text{ の } W/L: W/L = 15 \mu\text{m}/5 \mu\text{m}$$

$$M_6 \text{ の } W/L: W/L = 22 \mu\text{m}/5 \mu\text{m}$$

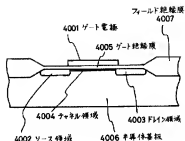
$$M_7 \text{ の } W/L: W/L = 22 \mu\text{m}/10 \mu\text{m}$$

$$M_8 \text{ の } W/L: W/L = 22 \mu\text{m}/10 \mu\text{m}$$

$$R_1 \text{ の } R: R = 5 \sim 10 \text{ k}\Omega$$

$$R_2 \text{ の } R: R = 1 \sim 10 \text{ k}\Omega$$

【図 40】



フロントページの続き

(72)発明者 小島 芳和
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
イコー電子工業株式会社内

(72)発明者 清水 亨
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
イコー電子工業株式会社内

(72)発明者 齊藤 豊
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
イコー電子工業株式会社内

(72)発明者 町田 透
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
イコー電子工業株式会社内

(72)発明者 金子 哲也
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
イコー電子工業株式会社内